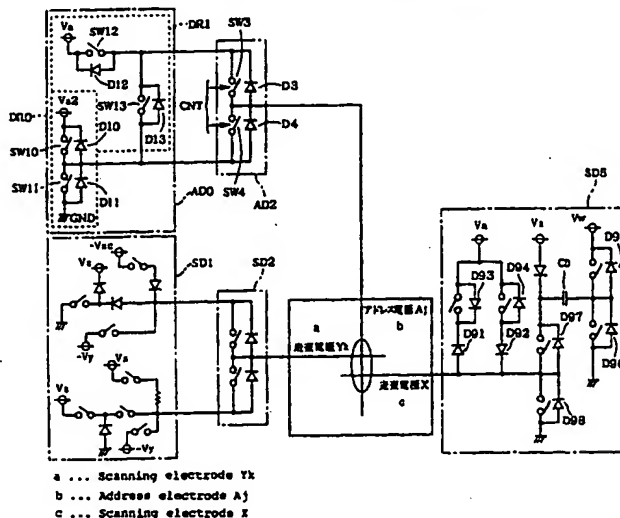




<p>(51) 国際特許分類6 G09G 3/28</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/53470</p> <p>(43) 国際公開日 1999年10月21日(21.10.99)</p>
<p>(21) 国際出願番号 PCT/JP98/01701</p> <p>(22) 国際出願日 1998年4月13日(13.04.98)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA)[JP/JP] 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 角田義一(TSUNODA, Yoshikazu)[JP/JP] 岩田明彦(IWATA, Akihiko)[JP/JP] 浦壁隆浩(URAKABE, Takahiro)[JP/JP] 橋本 隆(HASHIMOTO, Takashi)[JP/JP] 染谷 潤(SOMEYA, Jun)[JP/JP] 中西隆仁(NAKANISHI, Takahito)[JP/JP] 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 吉田茂明, 外(YOSHIDA, Shigeaki et al.) 〒540-0001 大阪府大阪市中央区城見1丁目4番70号 住友生命OBPプラザビル10階 Osaka, (JP)</p>		<p>(81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: DEVICE AND METHOD FOR DRIVING ADDRESS ELECTRODE OF SURFACE DISCHARGE TYPE PLASMA DISPLAY PANEL

(54)発明の名称 面放電型プラズマディスプレイパネルのアドレス電極駆動装置及びアドレス電極駆動方法



(57) Abstract

A technique for driving surface discharge type plasma display panel, more specifically a technique for freely setting high voltage level when high voltage is output from an address electrode at a pilot discharge period or a maintaining discharge period without raising the rating required for an IC having an address driver. In the technique, switches (SW12 and SW13) in a circuit (DR1) are respectively turned off and on and the cathode of a diode (D3) and the anode of another diode (D4) are conducted at the time of simultaneously outputting the same voltage to all address electrodes (Aj). In addition, switches (SW3 and SW4) are forcibly turned off and on, respectively. In a circuit (DR0), switches (SW10 and SW11) are respectively turned on and off and voltages which are nearly equal to a voltage Va2 are supplied to all address electrodes (Aj) through the diode (D4).

(57)要約

本発明は面放電型プラズマディスプレイパネルの駆動技術に関し、特に種火放電期間や維持放電期間にアドレス電極から高電圧を出力する場合において、アドレスドライバを有するICに要求される定格を高めることなく、自由に設定できるようにすることを目的とする。そして上記目的を達成するために、全アドレス電極(A_j)に同時に同じ電圧を出力する場合では、回路(DR1)においてスイッチ(SW12, SW13)がそれぞれオフ、オンし、ダイオード(D3)のカソードとダイオード(D4)のアノードが導通する。そしてスイッチ(SW3, SW4)はそれぞれ強制的にオフ、オンされる。回路(DR0)ではスイッチ(SW10, SW11)がそれぞれオン、オフし、ダイオード(D4)を介して全アドレス電極(A_j)にほぼ電圧V_{a2}が与えられることになる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
CA	カナダ	HR	クロアチア		共和国	TR	トルコ
CF	中央アフリカ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CH	スイス	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CI	コートジボアール	IL	イスラエル	MW	マラウイ	US	米国
CM	カメルーン	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CU	キューバ	JP	日本	NO	ノルウェー	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

面放電型プラズマディスプレイパネルのアドレス電極駆動装置及びアドレス電極駆動方法

技術分野

本発明は面放電型プラズマディスプレイパネルに関し、特にそのアドレス電極を駆動する技術に関する。

背景技術

第56図は面放電型プラズマディスプレイパネルのアドレス電極駆動の様子を示す回路図である。面放電型プラズマディスプレイパネルの一つの表示セル C_{jk} に対し、走査電極 X 、 Y_k と、アドレス電極 A_j とが交差している($j, k=1, 2, \dots$)。

このような面放電型プラズマディスプレイパネルにおいて、表示セル C_{jk} における履歴を消去し、かつ空間電荷を残す、いわゆる「種火放電」を行う際、走査電極 Y_k に負パルスを与えるのではなく、アドレス電極 A_j に大きな正パルスを与える技術が従来から提案されている。これは負パルスを生成するよりも正パルスを生成する方が簡単で容易に実現できるからである。

あるアドレス電極 A_j に対応して高電圧発生回路AD1と、高電圧発生回路AD1の出力または接地電位を切り換えてアドレス電極 A_j に出力するアドレスドライブ回路AD2とが設けられている。アドレスドライブ回路AD2は高電圧発生回路AD1の出力と接地電位との間に直列に接続されたスイッチSW3、SW4と、スイッチSW3、SW4にそれぞれ並列に接続されたダイオードD3、D4とを備えている。

走査電極 X にはドライブ回路SD3が設けられ、走査電極 X に印加する電圧を生成する。また、各走査電極 Y_k に対応して走査ドライブ回路SD1と、走査ドライブ回路SD1の出力または接地電位を切り換えて走査電極 Y_k に出力するスイッチ回路SD2とが設けられている。

かかる構成は例えば特開平7-160218号公報において記載されており、高電圧発生回路AD1と、アドレスドライブ回路AD2とにはそれぞれ233a、233bjの参照符号が付けられている。

アドレス電極A_jには、書き込み準備のための種火放電（特開平7-160218号公報にいう「リセット期間」）では電圧V_{aw}が、書き込み放電（特開平7-160218号公報にいう「アドレス期間」）では電圧V_aが、維持放電期間（特開平7-160218号公報にいう「維持放電期間」）では電圧V_{aw}が、それぞれ印加される。

リセット期間及び維持放電期間では高電圧発生回路AD1のスイッチSW2をオフし、SW1をオンすることにより、電源から供給される電圧V_aに対してツェナーダイオードの支える電圧V_{as}が加わり、電圧V_{aw}（=V_a+V_{as}）を高電圧発生回路AD1から出力する。その後、全てのアドレス電極A_jについてのアドレスドライブ回路AD2のSW4をオフし、SW3をオンする。これによって全てのアドレス電極A_jに対して電圧V_{aw}が供給される。

しかし、高電圧発生回路AD1及びアドレスドライブ回路AD2を構成するICの定格電圧は、上記の手順において使用される電圧の最大値以上に設定されなければならない。そのため、当該ICの定格電圧は、書き込み放電で必要となる電圧V_aよりも高い、維持放電期間において必要となる電圧V_{aw}（=V_a+V_{as}）以上のものが必要になる。

つまりリセット期間及び維持放電期間において高電圧を出力するために、高耐圧のICを必要とし、結果としてコストを高くしてしまう。またリセット期間及び維持放電期間において出力される電圧も、当該ICの性能により左右されるため、その値が制限される。

また、従来方式においては、書き込み放電期間でアドレスドライブ回路AD2のハイアームのスイッチSW3をオンして”H”出力している場合、走査電極X_k、Y_kの出力によってアドレス電極A_jに吸い込み方向に電流が流れる場合がある。

第57図は、第56図に示された回路において、アドレスドライブ回路AD2の構成を詳細に示し、表示セルC_{j,k}を電氣的に等価な回路に置換した回路図である。走査電極Y_kとアドレス電極A_jの間には等価コンデンサCPが存在する。また同様に走査電極Xとアドレス電極A_jの間、走査電極Xと走査電極Y_kとの間にも等価コンデンサが存在する。また、アドレスドライブ回路AD2におけるスイッチSW3、SW4はそれぞれMOSトランジスタT1、T2で実現さ

れる。

アドレスドライブ回路AD 2が“H”をアドレス電極A_jに与えることにより、等価コンデンサCPが充電される。そしてこの充電がなされたまま、維持放電期間においてスイッチ回路SD 2においてスイッチSW 5, SW 6がそれぞれオン、オフし、走査電極Y_kの電圧が“H”に遷移すると、アドレス電極A_jの電位は等価コンデンサCPによってステップアップしようとする。この時、アドレスドライブ回路AD 2のダイオードD 3は電位V_aを供給する電源側へと電流を流し、電圧のステップアップを防止する。

このときアドレスドライブ回路AD 2を構成するMOSトランジスタT 1, T 2が、誘電分離方式ではなく、自己分離技術を用いて形成されている場合には、寄生トランジスタが生じており、これによって以下の問題点が招来される。

第58図は、自己分離技術を用いて形成されているMOSトランジスタT 1, T 2の構造を示す断面図である。PMOSトランジスタT 1にはPNPトランジスタT 3が寄生しており、アドレス電極A_jの電位の上昇によって寄生トランジスタのベース電流が流れる。これによって電位V_aを供給する電源から、トランジスタT 1, T 3を介して接地へと短絡電流I 2が流れるため、アドレスドライブ回路AD 2が熱破壊される可能性があるのである。

発明の開示

この発明のうちアドレス電極駆動装置の第1の態様は、複数の走査電極と、前記複数の走査電極に直交する複数のアドレス電極と、前記複数の走査電極と前記複数のアドレス電極との交点にそれぞれに構成された表示セルとを含む面放電型プラズマディスプレイパネルに対してアドレス電極を駆動する装置であって、前記複数のアドレス電極の各々に対応して設けられて接続される出力端と、前記出力端に対していずれか一方が選択的に接続される第1入力端及び第2入力端とからなる出力段を第1の数だけ含む複数のドライブ回路と、前記第2入力端に対して、基準電位及び前記基準電位よりも高い第1の電位のいずれか一方を供給する第1の電源コントロール回路と、前記第1入力端に対して、前記第1の電位よりも低く前記基準電位よりも高い第2の電位を供給するか、前記第2入力端と接続するか、のいずれか一方を施す第2の電源コントロール回路とを備える。

この発明のうちアドレス電極駆動装置の第2の態様は、アドレス電極駆動装置の第1の態様であって、前記ドライブ回路の出力端が前記第1入力端及び第2入力端とのいずれと接続されるかを設定する駆動データを出力する制御回路と、前記複数のアドレス電極の各々に対応して設けられ、対応する前記複数のアドレス電極に対する前記駆動データを伝送する、複数の伝送回路を更に備える。そして前記複数の伝送回路の各々は前記駆動データを入力する入力端と、前記駆動データを伝達する出力端とを含み、前記基準電位を供給する第1の基準電位点及び前記基準電位よりも高く前記第2の電位よりも低い第1の電源電位を供給する第1の電位点に接続され、これらから動作電力が供給される第1のバッファと、前記第1のバッファの前記出力端に接続された一端と、他端とを含むコンデンサと、前記コンデンサの前記他端に接続された入力端と、対応する前記複数のドライブ回路の一つに接続された出力端とを含み、前記第2入力端及び第2の電位点に接続され、これらから動作電力が供給される第2のバッファとを含む。

この発明のうちアドレス電極駆動装置の第3の態様は、アドレス電極駆動装置の第2の態様であって、前記複数のドライブ回路の各々は対応する前記複数のアドレス電極の一つに接続されたカソードと、前記第2入力端に接続されたアノードとを有する保護ダイオードとを更に含む。

この発明のうちアドレス電極駆動装置の第4の態様は、アドレス電極駆動装置の第3の態様であって、第2の電源電位が供給される第4の電位点及び前記第2入力端のいずれか一方と接続される第3の電位点を更に備える。そして、前記複数の伝送回路の各々は前記第1の基準電位点に接続されたアノードと、前記コンデンサの前記一端に接続されたカソードとを有する第1のダイオードと、前記コンデンサの前記他端に接続されたアノードと、前記第3の電位点に接続されたカソードとを有する第2のダイオードとを更に含む、前記第2のバッファは前記コンデンサの前記他端に接続されたカソードと、前記第2入力端に接続されたアノードとを有する保護ダイオードを更に含む。

この発明のうちアドレス電極駆動装置の第5の態様は、アドレス電極駆動装置の第4の態様であって、前記第2の電位点は前記第3の電位点である。

この発明のうちアドレス電極駆動装置の第6の態様は、アドレス電極駆動装置

の第４の態様であって、前記第２の電位点は前記第４の電位点である。

この発明のうちアドレス電極駆動装置の第７の態様は、アドレス電極駆動装置の第４の態様であって、前記複数の伝送回路の各々は前記コンデンサの前記一端に接続されたアノードと、前記第１の電位点に接続されたカソードとを有する第３のダイオードを更に含む。

この発明のうちアドレス電極駆動装置の第８の態様は、アドレス電極駆動装置の第７の態様であって、前記第２の電位点は前記第３の電位点である。

この発明のうちアドレス電極駆動装置の第９の態様は、アドレス電極駆動装置の第７の態様であって、前記第２の電位点は前記第４の電位点である。

この発明のうちアドレス電極駆動装置の第１０の態様は、アドレス電極駆動装置の第４の態様であって、前記第１のバッファは前記コンデンサの前記一端に接続されたアノードと、前記第１の電位点に接続されたカソードとを有する保護ダイオードを更に含む。

この発明のうちアドレス電極駆動装置の第１１の態様は、アドレス電極駆動装置の第４の態様であって、前記第４の電位点に接続されたアノードと、カソードとを有するダイオードと、前記ダイオードの前記カソードと、前記第４の電位点に印加される第２の電源電位の基準となる第２の基準電位点との間に接続されたコンデンサとを更に備える。そして、前記第３の電位点が前記第４の電位点に接続される場合には、前記ダイオードを介して接続される。

この発明のうちアドレス電極駆動装置の第１２の態様は、アドレス電極駆動装置の第２の態様であって、前記ドライブ回路の出力端が前記第１入力端及び第２入力端とのいずれと接続されるかを設定する駆動データを出力する制御回路と、前記複数のアドレス電極の各々に対応して設けられ、対応する前記複数のアドレス電極に対する前記駆動データを伝送する、複数の伝送回路を更に備える。そして、前記複数の伝送回路の各々は前記駆動データを入力する入力端と、前記駆動データを伝達する出力端とを含み、前記基準電位を供給する第１の基準電位点及び前記基準電位よりも高く前記第２の電位よりも低い第１の電源電位を供給する第１の電位点に接続され、これらから動作電力が供給される第１のバッファと、前記第１のバッファの前記出力端に接続されたアノードと、カソードとを含む。

イオードと、前記ダイオードの前記カソードに接続された入力端と、対応する前記複数のドライブ回路の一つに接続された出力端とを含み、前記第2入力端及び第2の電位点に接続され、これらから動作電力が供給される第2のバッファとを含む。

この発明のうちアドレス電極駆動装置の第13の態様は、アドレス電極駆動装置の第12の態様であって、前記複数の伝送回路の各々は前記ダイオードの前記カソードと前記第2入力端との間に設けられた抵抗を更に含む。

この発明のうちアドレス電極駆動装置の第14の態様は、アドレス電極駆動装置の第2の態様であって、前記複数のドライブ回路は第2の数の前記駆動データを入力する前記第2の数のデータ入力端と、前記データ入力端に与えられたデータをシフトアウトする前記第2の数のデータ出力端とを更に含み、前記複数のドライブ回路は第3の数ずつ組を成して、前記データ入力端と前記データ出力端に関して直列に接続される。

この発明のうちアドレス電極駆動装置の第15の態様は、アドレス電極駆動装置の第14の態様であって、前記複数のドライブ回路の前記組は、前記データ入力端から前記データ出力端へと前記駆動データをシフトアウトするタイミング、及び前記データ入力端に与えられた前記駆動データをラッチするタイミングが、互いに異なる2種に区分される。

この発明のうちアドレス電極駆動装置の第16の態様は、アドレス電極駆動装置の第1の態様であって、前記面放電型プラズマディスプレイパネルは、前記複数のアドレス電極に直交する他の複数の走査電極を更に含み、前記他の複数の走査電極に対して、互いに逆並列に接続された一対のダイオードを介して所定の電位が印加される。

この発明のうちアドレス電極駆動方法の第1の態様は、複数の走査電極と、前記複数の走査電極に直交する複数のアドレス電極と、前記複数の走査電極と前記複数のアドレス電極との交点にそれぞれに構成された表示セルとを含む面放電型プラズマディスプレイパネルと、前記複数のアドレス電極の各々に対応して設けられて接続される出力端と、前記出力端に対していずれか一方が選択的に接続される第1入力端及び第2入力端とからなる出力段を第1の数だけ含む複数のドラ

イブ回路と、前記複数のアドレス電極の各々に対応して設けられ、その各々が、対応する前記複数のアドレス電極の一つと接続される出力端と、前記出力端に対していずれか一方が選択的に接続される第1入力端及び第2入力端を含む複数のドライブ回路と、前記ドライブ回路の出力端が前記第1入力端及び第2入力端とのいずれと接続されるかを設定する駆動データを出力する制御回路と、前記2入力端に対して、基準電位及び前記基準電位よりも高い第1の電位のいずれか一方を供給する第1の電源コントロール回路と、前記第1入力端に対して、前記第1の電位よりも低く前記基準電位よりも高い第2の電位を供給するか、前記第2入力端と接続するか、のいずれか一方を施す第2の電源コントロール回路と、前記複数のアドレス電極の各々に対応して設けられ、対応する前記複数のアドレス電極に対する前記駆動データを入力する入力端と、前記駆動データを伝達する出力端と、前記基準電位を供給する第1の基準電位点及び前記基準電位よりも高く前記第2の電位よりも低い第1の電源電位を供給する第1の電位点との間で直列に接続されたプッシュプル構成の出力段とを有する第1のバッファと、前記第1のバッファの前記出力端に接続された一端と、他端とを含むコンデンサと、前記コンデンサの前記他端に接続された入力端と、対応する前記複数のドライブ回路の一つに接続された出力端と、前記第2入力端及び第2の電位点との間で直列に接続されたプッシュプル構成の入力段とを有する第2のバッファと、前記第1の基準電位点に接続されたアノードと、前記コンデンサの前記一端に接続されたカソードとを有する第1のダイオードと、前記第2の電位点に接続されたカソードと、前記コンデンサの前記他端に接続されたアノードとを有する第2のダイオードとを備えたプラズマディスプレイシステムに対し、(a)書き込み準備期間において、(a-1)前記第2の電位点を前記第2入力端に接続する行程と、(a-2)前記第2の電源コントロール回路によって前記第1入力端を前記第2入力端に接続する行程と、(a-3)前記第1の電源コントロール回路によって前記第2入力端に前記第1の電位を供給し、その後前記基準電位を供給する行程とを備え、(b)書き込み放電期間において、(b-1)前記第1の電源コントロール回路によって前記第2入力端を前記第1の基準電位点に接続する行程と、(b-2)前記第2の電位点に前記第1の電源電位を供給する行程と、(b-3)

前記第 2 の電源コントロール回路によって前記第 1 入力端に対して前記第 2 の電位を供給する行程と、(b-4) 前記駆動データに基づいて前記複数のドライブ回路の出力端を前記第 1 入力端及び第 2 入力端とのいずれかに接続する行程とを備え、(c) 前記書き込み放電期間の後、維持放電期間の前に(c-1) 前記第 1 の電源コントロール回路によって前記第 2 入力端を前記第 1 の基準電位点に接続する行程と、(c-2) 前記第 2 の電位点を前記第 2 入力端に接続する行程と、(c-3) 前記第 2 の電源コントロール回路によって前記第 1 入力端を前記第 2 入力端に接続する行程と、(c-4) 前記駆動データを強制的に基準電位に設定する行程とを備える。

この発明のうちアドレス電極駆動方法の第 2 の態様は、アドレス電極駆動方法の第 1 の態様であって、前記書き込み準備期間において(a-4) 前記行程(a-3) に先だって前記駆動データを強制的に“H”に設定する行程を更に備える。

この発明のうちアドレス電極駆動方法の第 3 の態様は、アドレス電極駆動方法の第 2 の態様であって、前記書き込み準備期間の後、前記書き込み放電期間の前において(d) 前記駆動データを強制的に“L”に設定する行程を更に備える。

この発明のうちアドレス電極駆動方法の第 4 の態様は、複数の走査電極と、前記複数の走査電極に直交する複数のアドレス電極と、前記複数の走査電極と前記複数のアドレス電極との交点にそれぞれに構成された表示セルとを含む面放電型プラズマディスプレイパネルと、前記複数のアドレス電極の各々に対応して設けられ、その各々が、対応する前記複数のアドレス電極の一つと接続される出力端と、前記出力端に対していずれか一方が選択的に接続される第 1 入力端及び第 2 入力端とを含む複数のドライブ回路と、前記ドライブ回路の出力端が前記第 1 入力端及び第 2 入力端とのいずれと接続されるかを設定する駆動データを出力する制御回路と、前記第 2 入力端に対して、基準電位及び前記基準電位よりも高い第 1 の電位のいずれか一方を供給する第 1 の電源コントロール回路と、前記第 1 入力端に対して、前記第 1 の電位よりも低く前記基準電位よりも高い第 2 の電位を供給するか、前記第 2 入力端と接続するか、のいずれか一方を施す第 2 の電源コントロール回路と、前記複数のアドレス電極の各々に対応して設けられ、対応する前記複数のアドレス電極に対する前記駆動データを入力する入力端と、前記駆動

データを伝達する出力端と、前記基準電位を供給する第 1 の基準電位点及び前記基準電位よりも高く前記第 2 の電位よりも低い第 1 の電源電位を供給する第 1 の電位点との間で直列に接続されたプッシュプル構成の出力段とを有する第 1 のバッファと、前記第 1 のバッファの前記出力端に接続されたアノードと、カソードとを含むダイオードと、前記ダイオードの前記カソードに接続された入力端と、対応する前記複数のドライブ回路の一つに接続された出力端と、前記第 2 入力端及び第 2 の電位点との間で直列に接続されたプッシュプル構成の入力段とを有する第 2 のバッファと、前記第 2 入力端と前記第 2 のバッファの前記入力端に接続された抵抗と、を備えたプラズマディスプレイシステムに対し、(a) 書き込み準備期間において、(a-1) 前記第 2 の電源コントロール回路によって前記第 1 入力端を前記第 2 入力端に接続する行程と、(a-2) 前記第 1 の電源コントロール回路によって前記第 2 入力端に前記第 1 の電位を供給し、その後前記基準電位を供給する行程とを備え、(b) 書き込み放電期間において、(b-1) 前記第 1 の電源コントロール回路によって前記第 2 入力端を前記第 1 の基準電位点に接続する行程と、(b-2) 前記第 2 の電源コントロール回路によって前記第 1 入力端に対して前記第 2 の電位を供給する行程と、(b-3) 前記駆動データに基づいて前記複数のドライブ回路の出力端を前記第 1 入力端及び第 2 入力端(28)とのいずれかに接続する行程とを備え、(c) 前記書き込み放電期間の後、維持放電期間の前に(c-1) 前記第 1 の電源コントロール回路によって前記第 2 入力端を前記第 1 の基準電位点に接続する行程と、(c-2) 前記第 2 の電源コントロール回路によって前記第 1 入力端を前記第 2 入力端に接続する行程と、を備える。

この発明にかかるアドレス電極駆動装置の第 1 の態様によれば、第 1 の電源コントロール回路が第 2 入力端に対して基準電位を供給し、第 2 の電源コントロール回路が第 1 入力端に対して第 1 の電位を供給することができるので、ドライブ回路において出力端を第 1 入力端及び第 2 入力端のいずれかと選択的に接続することによって、アドレス電極に対して所望のパターンで書き込み放電を行うことができる。その一方、第 1 の電源コントロール回路が第 2 入力端に対して第 1 の電位を供給し、第 2 の電源コントロール回路が第 1 入力端を第 2 入力端と接続し、

かつドライブ回路の第2入力端及び出力端を短絡することにより、ドライブ回路において第2の電位に対する耐圧を必要とすること無く、全てのアドレス電極に対して一齐に第2電位を供給し、以て書き込み準備のための自己消去放電を行うことができる。

この発明にかかるアドレス電極駆動装置の第2の態様によれば、駆動データを転送するバッファを2つ採用する。コンデンサC3によって第1のバッファがドライブ回路の第2入力端とアイソレーションされる。従って、第1の電源コントロール回路がドライブ回路の第2入力端に対して第1の電位を供給しても、第1のバッファは第1の電位からアイソレーションされ、よって制御回路も保護される。

この発明にかかるアドレス電極駆動装置の第3の態様によれば、第2入力端に第1の電位が与えられた場合に、これが保護ダイオードを介してアドレス電極へと与えられ、自己消去放電を起こすことができる。

この発明にかかるアドレス電極駆動装置の第4乃至第6の態様によれば、第2入力端に第1の電位が与えられて充電されたコンデンサを、第1の電源コントロール回路が第2入力端に基準電位を供給すること及び第3の電位点を第2入力端に接続することにより放電することができる。また書き込み放電時において第1のバッファが“L”，“H”の間を遷移しても、第1の電源コントロール回路が第2入力端に基準電位を供給すること及び第3の電位点に第4の電位点を接続することによりコンデンサの充放電が速やかに行われるので、駆動データを第2のバッファに伝達することができる。更に、書き込み放電終了後には、第1のバッファが“L”を出力してコンデンサを充電していたか、“H”を出力してコンデンサを充電していたかによらず、第1の電源コントロール回路が第2入力端に基準電位を供給すること及び第3の電位点に第1の基準電位点を接続することによりコンデンサを放電し、維持放電に影響を与えない。

この発明にかかるアドレス電極駆動装置の第7乃至第10の態様によれば、アドレス電極に第1の電位を印加する場合に、その立ち上がりを迅速にすべく第1のバッファに“H”を出力させても、コンデンサC3に起因する電圧のステップアップからバッファB1を保護することができる。

この発明にかかるアドレス電極駆動装置の第12の態様によれば、ダイオードの順方向電圧だけ第2の電源電位から低い電位が第3の電位点に与えられるので、伝送回路の有する第2のダイオードの順方向電圧に基づいてコンデンサが充電されることはない。

この発明にかかるアドレス電極駆動装置の第12の態様によれば、駆動データを転送するバッファを2つ採用する。第2入力端に第1の電位が印加されても、ダイオードには逆バイアスがかかるので、第1のバッファは第1の電位からアイソレーションされ、よって制御回路も保護される。

この発明にかかるアドレス電極駆動装置の第13の態様によれば、自己消去放電を終了した際に、第1のバッファに“H”が入力されていてダイオードは順バイアスされて順方向電流が流れても、その大きさを抵抗によって制限することができる。第2入力端の電位の変動から第1バッファを保護することができる。また、書き込み放電期間において駆動データが“H”から“L”に遷移する場合、第2のバッファの入力容量が保持していた電荷を、抵抗を介して放電させることができる。

この発明にかかるアドレス電極駆動装置の第14の態様によれば、伝送回路は第3の数毎に駆動データを伝達すれば足りるので、その構成を簡単にすることができる。

この発明にかかるアドレス電極駆動装置の第15の態様によれば、伝達回路は、出力回路の2×第3の数毎に駆動データを伝達すれば足りるので、その構成を更に簡単にすることができる。

この発明のうちアドレス電極駆動装置の第16の態様によれば、表示セルにおける等価コンデンサによって他の走査電極の電位がステップアップしようとしても、所定の電位よりも上昇しない。

この発明にかかるアドレス電極駆動方法の第1の態様によれば、コンデンサの機能により、ドライブ回路において第2の電位に対する耐圧を必要とすること無く、書き込み準備期間において全てのアドレス電極に対して一斉に第2電位を供給し、以て自己消去放電を行うことができる。書き込み放電によって充電されたコンデンサは、維持放電期間の前に行程(c)によって、第1のバッファの出力

段及び第2のダイオードによって、あるいは第2のバッファの入力段及び第1のダイオードによって、放電される。

この発明にかかるアドレス電極駆動方法の第2の態様によれば、コンデンサを予め、他端の方が一端よりも電位が高くなるように充電できるので、行程(a-3)において第2入力端が第1の電位へと立ち上がる速度を向上することができる。

この発明にかかるアドレス電極駆動方法の第3の態様によれば、行程(a-4)によって充電されたコンデンサを放電させ、書き込み放電期間への悪影響を回避する。

この発明にかかるアドレス電極駆動方法の第4の態様によれば、ダイオードの機能により、ドライブ回路において第2の電位に対する耐圧を必要とすること無く、書き込み準備期間において全てのアドレス電極に対して一斉に第2電位を供給し、以て自己消去放電を行うことができる。そして抵抗の機能により、書き込み放電期間において駆動データが“L”から“H”へと遷移した場合に第1のバッファの手段に流れる電流が抑制され、また第2のバッファの入力段に蓄積された電荷が、駆動データが“H”から“L”へと遷移した際に放電される。

この発明は上記のような問題点を解決し、種火放電期間や維持放電期間の高電圧出力を、アドレスドライバーを有するICに要求される定格を高めることなく、自由に設定できるようにすることを目的とする。

図面の簡単な説明

第1図は本発明の基本的思想を説明する回路図である。

第2図は本発明の実施の形態1を示すブロック図である。

第3図は一つの表示セルC_{jk}近傍での様子を示す拡大図である。

第4図及び第5図は両図相俟ってデジタル信号発生回路21が他の回路と接続される様子を示す回路図である。

第6図は部分31の構成を示す回路図である。

第7図は部分32の構成要素32aの構成を示す回路図である。

第8図は電源コントロール回路24の構成を示す回路図である。

第9図は電源コントロール回路25の構成を示す回路図である。

第10図は電源コントロール回路26の構成を示す回路図である。

第11図はプッシュプルドライバ用ゲート回路7の構成を示す回路図である。

第12図は本発明の実施の形態1の動作を示すタイミングチャートである。

第13図乃至第18図は本発明の実施の形態1の動作を示す回路図である。

第19図は構成要素32bの構成を示す回路図である。

第20図乃至第25図は本発明の実施の形態2の動作を示す回路図である。

第26図は構成要素32cの構成を示す回路図である。

第27図は本発明の実施の形態2の動作を示すタイミングチャートである。

第28図乃至第33図は本発明の実施の形態3の動作を示す回路図である。

第34図は構成要素32dの構成を示す回路図である。

第35図乃至第40図は本発明の実施の形態4の動作を示す回路図である。

第41図は本発明の実施の形態5の動作を示すタイミングチャートである。

第42図及び第43図は本発明の実施の形態5の動作を示す回路図である。

第44図は構成要素32eの構成を示す回路図である。

第45図は本発明の実施の形態6の動作を示すタイミングチャートである。

第46図乃至第49図は本発明の実施の形態6の動作を示す回路図である。

第50図は本発明の実施の形態7の構成を示す回路図である。

第51図及び第52図は本発明の実施の形態8の構成を示す回路図である。

第53図は本発明の実施の形態8の動作を示すタイミングチャートである。

第54図は本発明の実施の形態8の構成を示す回路図である。

第55図は本発明の実施の形態8の動作を示すタイミングチャートである。

第56図及び第57図は従来技術を示す回路図である。

第58図は従来技術を示す断面図である。

発明を実施するための最良の形態

A. 基本的思想：

最良の形態について説明する前に、簡単に本発明の技術を説明する。第1図は本発明の基本的思想を説明する回路図である。第56図に示された構成における高電圧発生回路AD1を高電圧発生回路AD0に置換し、ドライブ回路SD3がドライブ回路SD5に置換された構成を採っている。

高電圧発生回路AD0は電源コントロール回路DR0, DR1を備えている。電源コントロール回路DR0はスイッチSW10, SW11、ダイオードD10, D11を有しており、電源コントロール回路DR1はスイッチSW12, SW13、ダイオードD12, D13を有している。

ダイオードD13のカソードはアドレスドライブ回路AD2のハイアーム側のダイオードD3のカソードに接続され、アノードはアドレスドライブ回路AD2のローアーム側のダイオードD4のアノードに接続されている。スイッチSW13はダイオードD13に並列に接続される。ダイオードD12のアノードはダイオードD3のカソードに接続され、カソードには電位Vaが与えられる。スイッチSW12はダイオードD12に並列に接続される。

ダイオードD10のカソードには電位Va2が与えられ、アノードにはダイオードD4のアノード及びダイオードD11のカソードが接続される。ダイオードD11のアノードには接地電位が与えられる。スイッチSW10, SW11はそれぞれダイオードD10, D11に並列に設けられる。

個々の駆動データに基づいてアドレス電極A_jに電圧を出力する書き込み放電では、回路DR1においてスイッチSW12, SW13がそれぞれオン、オフし、アドレスドライブ回路AD2のダイオードD3のカソードには書き込み放電電圧Vaが与えられる。その一方、回路DR0においてはスイッチSW10, SW11がそれぞれオフ、オンし、アドレスドライブ回路AD2のダイオードD4のアノードには接地電位が与えられる。このような電位がアドレスドライブ回路AD2の両端に与えられるので、スイッチSW3, SW4がそれぞれオン、オフすることによってアドレス電極A_jには放電電圧Va或いは接地電位が与えられる。

全アドレス電極に同時に同じ電圧を出力するリセット期間及び維持放電期間では、スイッチSW12, SW13がそれぞれオフ、オンし、ダイオードD3のカソードとダイオードD4のアノードとを導通させる。またこのシーケンスではスイッチSW3, SW4はそれぞれ強制的にオフ、オンされる。一方、回路DR0ではスイッチSW10, SW11がそれぞれオン、オフした場合には、ダイオードD4のアノードに対して電圧Va2が与えられ、ダイオードD4を介して全アドレス電極にほぼ電圧Va2が与えられることになる。またスイッチSW10,

SW 11がそれぞれオフ、オンした場合には、ダイオードD 3及びスイッチSW 13、並びにスイッチSW 4を経由してSW 11へと到る経路で全アドレス電極に充電された電荷が放電される。

上記の動作によって、アドレスドライブ回路AD 2を有するICの定格は書き込み放電電圧 V_a に耐えるものであれば足り、種火放電期間や維持放電期間の高電圧 V_{a2} を自由に設定できる。

また維持放電期間において、等価コンデンサCPが充電された状態で走査電極 Y_k の電圧が“H”に遷移しても、ダイオードD 3、D 4は短絡しているのだからリカバリー電流が流れることがない。また、スイッチSW 4を実現するNMOSトランジスタに寄生トランジスタT 3が存在していても、そのコレクタ・エミッタ間は短絡しているのだから第57図に示された電流 I_2 が流れてしまうこともない。

即ち、アドレスドライブ回路AD 2に供給される電源を実質的になくすことにより短絡電流 I_2 の発生を回避してICの破壊を防止できるので、自己分離技術が使用されたICでも使用が可能となる。つまり低電圧化を実現することによってICの選択の幅を広げるので、コストの低減がはかれる。

なおスイッチSW 3、SW 4の制御を行う制御信号CNT、例えば各アドレス電極A_jに応じた駆動データを高速に伝送する必要がある。この駆動データは所定の制御回路から与えられるものであり、ダイオードD 4のアノードに電圧 V_{a2} が与えられた場合に、この制御回路を保護する必要がある。

制御回路と電圧 V_{a2} とを従来の様にフォトカプラでアイソレーションしても動作上は問題がない。しかし、高速で信号ラインの多いアドレスドライブ回路では、高速なフォトカプラを使用し、さらに駆動データ線分の個数が必要となるため、コストの面で非常に大きな障害となる。そこで本発明では比較的安価なコンデンサをアイソレーション用に用いることとした。

この場合、アイソレーション用のコンデンサの充放電は駆動データの転送遅延に影響を与える。そこで本発明ではコンデンサの充放電を迅速に行うためのダイオードを設けることとした。また、コンデンサの放電を行うためのシーケンスについての技術についても提供する。

また更に駆動データの転送の遅延を軽減するため、コンデンサの代わりにダイオードを用いたアイソレーション技術も提供する。

なお、ドライブ回路SD5では書き込み放電期間においてが、第56図及び第57図に示された従来のドライブ回路SD3とは異なり、互いに逆並列に接続されたダイオードD91, D92を介して走査電極Xに与えられる。これにより、表示セルC_{j,k}における等価コンデンサによって電位がステップアップしようとしても、走査電極Xの電位は電位V_aよりも上昇しない。

走査電極XにはコンデンサC_oを用いたステップアップによって、後述されるように書き込み準備期間において電位(V_s + V_w)が与えられる。また維持放電期間では電位V_sが与えられる。

電位V_a, V_s, V_wを走査電極Xに印加するためのスイッチはMOSトランジスタで構成され、これらを保護するためにダイオードD93～D98がスイッチの各々に対して並列に設けられている。

B. 実施の形態1:

第2図は本発明の実施の形態1を示すブロック図である。それぞれが複数の走査電極からなる2つの走査電極群XG, YGと、複数のアドレス電極からなるアドレス電極群AGとが、マトリックス状に配置された複数の表示セルからなる面放電型プラズマディスプレイパネルCGへ敷設されている。

第3図は面放電型プラズマディスプレイパネルCGの中の一つの表示セルC_{j,k}近傍での様子を示す拡大図であり、走査電極群XGの内の一つの走査電極X（走査電極Xは複数設けられるが、いずれも共通の電圧が印加されるので、各走査電極Xを特に区別して表示しない）と、一つの走査電極Y_kとが並んで敷設され、これらに対してアドレス電極A_jが直交して配置されている。そしてこの電極の交点には表示セルC_{j,k}が構成されている。

走査電極X, Y_k 各々について走査する時には、アドレス電極A_j から一斉に、それぞれのアドレスに対応したデータを出力し、書き込み放電を行う。アドレス期間が終了し、維持放電期間においては、全アドレス電極に対し同じ信号を出力する。

各アドレス電極A_j をドライブするためのプッシュプル型のドライブ回路が複

数設けられ、これらはアドレスドライブ回路22を構成している。また、各走査電極 Y_k をドライブするためのドライブ回路が設けられ、これらは走査ドライブ回路DYを構成している。また、走査電極Xをドライブするための走査ドライブ回路DXも設けられている。

走査ドライブ回路DX, DYはデジタル信号発生回路21により、またアドレスドライブ回路22は更にアイソレーション回路23を介して、映像信号VDから生成された制御信号や駆動データを受けて走査電極X, Y_k 、及びアドレス電極A_jの駆動を行う。

デジタル信号発生回路21には、その動作において基準となる電位（第1コモン電位：ここでは接地電位）を与える第1コモン電位点27が与えられている。また、アドレスドライブ回路22にはその動作において基準となる電位（第2コモン電位）を与える第2コモン電位点28が接続されている。

電源コントロール回路25, 24, 26はそれぞれデジタル信号発生回路21から第1電源制御信号、第2電源制御信号、第2コモン制御信号を受け、それぞれ所定の電位W_{HV}, W_{5V}（これらはいずれも第2コモン電位を基準とする）及び第2コモン電位を生成するために設けられる。

（b-1）デジタル信号発生回路：

第4図及び第5図は、両図が仮想線Q1Q1で連続して相俟って、デジタル信号発生回路21と、電源コントロール回路25, 24, 26と、アイソレーション回路23と、アドレスドライブ回路22との接続関係を示す回路図である。デジタル信号発生回路21は外部から受けた映像信号VDに基づいて、アドレスドライバー回路22を制御するための制御信号である、出力イネーブル信号EN、クロック信号CLK、データラッチ信号DLをアイソレーション回路23へ与える。

なお、デジタル信号発生回路21に必要な電源は、第1コモン電位が与えられた一端を有する電圧源（以下「第1コモン電位を基準とする電源」という）の他端から得る。図中では、第1コモン電位を基準とする電源は白円で示されている。以下、第1コモン電位を基準とする電源は、その電圧が例えば5Vであれば、

「第1の5V電源」と呼ぶ。また以下では、電位Zを与える電源についても同一

の参照符号Zを用いる。

(b-2) アドレスドライブ回路22:

アドレスドライブ回路22はプッシュプル型の入出力段を有するドライブ回路22₁~22_nで構成され、その各々として例えばNEC製の μ PD16327を採用することができる。ドライブ回路22_i ($i=1\sim n$)の各々のコモン端子には第2のコモン電位点28が接続される。そして内部ロジック回路用電源端子VCCは第2のコモン電位が与えられた一端を有する電圧源(以下「第2コモン電位を基準とする電源」という)を基準とする5V電源(図中黒い円で示された5V電源。以下「第2の5V電源」と呼ぶ。他の電圧についても同様)が、HV電源端子には第2のコモン電位を基準とする電位W_{HV}が与えられる。電位W_{HV}は第1図の電位V_aに相当する。

ドライブ回路22₁~22_nの64本の出力端は、その1本ずつがアドレス電極A₁の1本ずつ対応して接続される。アドレス電極1つについて、3つの色(赤、緑、青)の内のいずれかの情報が伝達される。よって例えばVGA (Video Graphics Array)仕様では、 $640 \times 3 / 64 = 30$ がドライブ回路の個数nの最小値となる。

各ドライブ回路22_iの入力端にはアイソレーション回路23を伝送された制御信号及び駆動データが入力される。制御信号は3種類、駆動データは4ビットがパラレルに入力される。

(b-3) アイソレーション回路23:

アイソレーション回路23は、出力イネーブル信号ENを伝送する部分31と、クロック信号CLK、データラッチ信号DL及び駆動データを伝送する部分32とを有する。アイソレーション回路23は、デジタル信号発生回路21を第2のコモン電位の変動からアイソレーションしつつ、デジタル信号発生回路21から得られる信号をアドレスドライブ回路22へと出力する機能を果たす。アイソレーション回路23から出力された制御信号は、全てのドライブ回路22_iへ与えられ、駆動データは各々対応するドライブ回路22_iのデータ入力へ与えられる。

第6図は部分31の構成を示す回路図である。部分31はフォトカプラによるアイソレーションを行う。出力イネーブル信号ENはドライバーG1に与えられ

る。ドライバーG1には第1のコモン電位点27及び、第1の5V電源からそれぞれ電位が与えられる。

ドライバーG1の出力はダイオードD31のカソードに与えられる。ダイオードD31のアノードはフォトカプラPCの有するLED100のアノードに接続され、さらに第1の5V電源にプルアップ抵抗R1を介して接続される。

フォトカプラPCのバッファ101は、その出力端がオープンコレクタとなっているため、プルアップ抵抗R2を介して第2の5V電源に接続される。フォトカプラPCの出力はロジック回路G2によって論理調整（波形の整形及び反転）がなされる。フォトカプラPCとロジック回路G2のコモン端子はいずれも第2のコモン電位点28に接続され、それぞれの電源端は第2の5V電源に接続される。

ドライバーG1に信号“H”が入力されると、ドライバーG1は“H”を出力する。この信号はダイオードD31に対し逆バイアスを与えるので、ダイオードD31には電流は流れない。よってプルアップ抵抗R1を通じてLED100において順方向に電流I31が流れる。これに対応してバッファ101からは“L”が出力され、インバータの機能を果たすロジック回路G2からは“H”が出力される。

ドライバーG1に信号“L”が入力されると、ドライバーG1は“L”を出力する。この信号はダイオードD31に対し順バイアスを与えるので、ダイオードD31に電流I32がドライバーG1へ向かって流れる。よってLED100には電流が流れず、バッファ101はハイインピーダンス状態（“Z”）を出力する。そしてプルアップ抵抗R2によりロジック回路G2には“H”が入力され、ロジック回路G2は“L”を出力する。

第7図は部分32の構成要素32aの構成を示す回路図である。部分32では構成要素32aが、クロック信号CLK、データラッチ信号DL、駆動データを伝送するのに必要な数だけ並列に設けられる。この数は、実施の形態8において具体的に説明される。

構成要素32aでは、デジタル信号発生回路21から得られる、例えばデータラッチ信号DL（クロック信号CLK、駆動データの1ビット分についても同様）

をバッファB 1（たとえば7 4 H C 2 4 4等を採用できる）に入力し、バッファB 1の出力端はコンデンサC 3の一方端子及びダイオードD 3 2のカソードに共通して接続される。バッファB 1は第1のコモン電位点2 7及び第1の5 V電源からそれぞれ動作電力が供給される。

また、ダイオードD 3 2のアノードを第1のコモン電位点2 7に接続する。コンデンサC 3の他方の端子はバッファB 2（たとえば7 4 H C 2 4 4等を採用できる）の入力端及びダイオードD 3 3のアノードに共通して接続される。ダイオードD 3 3のカソードはバッファB 2の電源端と共に電位W__5 Vが与えられる。バッファB 2のコモン端子には第2のコモン電位点2 8が接続される。つまりバッファB 1は第2のコモン電位点2 8及び電源W__5 Vからそれぞれ動作電力が供給される。

構成要素3 2 aの動作は、他の回路との関連において後に（b-7）において詳述される。

（b-4）電源コントロール回路2 4：

第8図は、電源コントロール回路2 4の構成を示す回路図である。電源コントロール回路2 4の出力する電位W__5 Vは、第2のコモン電位を基準とし、アドレスドライブ回路2 2に対して制御信号及び駆動データが転送される期間においてのみ5 Vを供給し、それ以外の期間では第2のコモン電位を供給して、制御信号及び駆動データの誤転送を防止する。

部分3 1 pは、第6図に示された部分3 1 p、即ちドライバーG 1、ダイオードD 3 1、抵抗R 1、フォトカプラP C、抵抗R 2が構成する回路と同一である。

デジタル信号発生回路2 1からの第2電源制御信号は部分3 1 pを伝送され、ドライバーG 2に入力する。ハイアーム側のPMOSトランジスタP 1及びローアーム側のNMOSトランジスタN 1のいずれもドライバーG 2の出力に基づいて駆動される。

具体的には、NMOSトランジスタN 1のゲートには、ドライバーG 2の出力が、互いに並列接続されたゲート抵抗R 3及びダイオードD 3 4を介して与えられる。ダイオードD 3 4のアノードがNMOSトランジスタN 1のゲートに接続される。NMOSトランジスタN 1のソースは第2のコモン電位点2 8に接続さ

れ、ドレインは電源コントロール回路24の出力端子に接続される。

またPMOSトランジスタP1のゲートへは、ドライバーG2の出力端がコンデンサC1を介して接続される。PMOSトランジスタ42のソースには第2の5V電源が与えられ、ドレインは電源コントロール回路24の出力端子に接続される。第2の5V電源とPMOSトランジスタP1のゲートとの間には抵抗R4とツェナーダイオードZ1の並列接続が設けられる。ツェナーダイオードZ1のアノードはPMOSトランジスタP1のゲートに接続される。

NMOSトランジスタN1及びPMOSトランジスタP1にはそれぞれ保護ダイオードD22、D21が設けられる。これらは各トランジスタに通常流れる電流とは逆向きに電流を流す機能を果たす。

ドライバーG2としては入力レベルがTTLレベルであって、自己に与えられる電源レベルを出力するICを採用する必要がある。たとえばTC4429 (TelCom社製) 等を使用する。ドライバーG2のコモン端子は第2のコモン端子28に接続される。また、電源として第2の15V電源が供給される。

PMOSトランジスタP1とNMOSトランジスタN1とはトータムポール接続されており、両者のドレインから低インピーダンスで電位W_5Vを出力することができる。図中に一点鎖線で囲まれた部分24pは、PMOSトランジスタP1とNMOSトランジスタN1に対するドライブ回路として機能している。

電源コントロール回路24が電位W_5Vとして第2のコモン電位を供給する場合には、第2電源制御信号を“H”とする。アイソレーション回路23の部分31の動作と同様にして、ドライバーG2が“H”を出力する。但し、ドライバーG2は第2のコモン電位点28及び第2の15V電源によって供給される電圧に基づいて動作するので、その出力する“H”は第2のコモン電位に対してほぼ15Vとなる。これはゲート抵抗R3を通じ、NMOSトランジスタN1をオンさせる。これによって電位W_5Vは第2のコモン電位を採る。

一方、PMOSトランジスタP1のソースは第2の5V電源に接続されており、コンデンサC1はほぼ5Vの電圧を保持している。よってPMOSトランジスタP1のゲートは第2のコモン電位に対して瞬間的に20Vの電位が与えられ、PMOSトランジスタP1はターンオフする。このときツェナーダイオードZ1に

は順方向にバイアスされるので、やがてPMOSトランジスタP1のゲート電位は第2のコモン電位を基準とした5Vへと復帰する。

次に電位W_{5V}として第2のコモン電位に対する5Vを供給する場合には、第2電源制御信号を“L”とする。アイソレーション回路23の部分31の動作と同様にして、ドライバーG2が“L”を出力する。但しその電位は第2のコモン電位にほぼ等しい。

NMOSトランジスタN1のゲートにチャージされていた電荷は、ダイオードD34を通じて急激に放出されるのでターンオフする。また、ドライバーG2の出力端に接続された側のコンデンサC1の一端は、その電位がほぼ15Vの電位差で低下する。よってPMOSトランジスタP1のゲート電位は第2のコモン電位に対して-10Vになってターンオンする。このときツェナーダイオードZ1はPMOSトランジスタP1のゲートに過電圧が印加されることを回避する機能を果たし、PMOSトランジスタP1を保護する。

PMOSトランジスタP1のゲート電位は抵抗R4により徐々に5Vへ向かって上昇する。しかし、PMOSトランジスタP1のゲートが0Vに至るとターンオフしてしまうので、コンデンサC1と抵抗R4の値は慎重に設定する必要がある。

電位W_{5V}として第2のコモン電位を供給する場合には、ゲート抵抗R3によってNMOSトランジスタN1のターンオンはドライバーG2の出力に対して少し遅れて動作する一方、PMOSトランジスタP1のターンオフは直ちにターンオフする。よってPMOSトランジスタP1とNMOSトランジスタN1との間に電流が流れること（アーム間の短絡）を防止できる。また、電位W_{5V}として5Vを供給する場合には、NMOSトランジスタN1のターンオフは、ダイオードD34でバイパスしているために、ドライバーG2の出力に対して迅速に動作する。このような動作により、NMOSトランジスタN1のターンオフが遅れることによるアーム間の短絡を最小限にできる。

(b-5) 電源コントロール回路25：

第9図は、電源コントロール回路25の構成を示す回路図である。電源コントロール回路25の出力する電位W_{HV}は、第2のコモン電位を基準とし、アド

レス期間のみ70Vを供給し、それ以外の期間では第2のコモン電位を供給して、アドレスドライブ回路22の出力段を保護する。

電源コントロール回路25には、同時には“H”を採らない一対（H側及びL側）の第1の電源制御信号が与えられる。ここで「H側」「L側」とは、電源コントロール回路25の最終段におけるトランジスタのハイアーム側及びローアーム側をコントロールすることを示しており、第1の制御信号のレベルを示すものではない。

上記一対の第1の電源制御信号に対応して設けられた一対の部分31と、第2の70V電源と第2のコモン電位点28との間にトータムポール接続されたNMOSトランジスタN3、N2と、一対の部分31のそれぞれの出力を受けてNMOSトランジスタN3、N2をドライブするプッシュプルドライバー用ゲート回路7を備えている。プッシュプルドライブ回路7には部分31を伝送された信号が与えられる。また、NMOSトランジスタN3、N2にはそれぞれ保護ダイオードD24、D23が並列に接続されている。

ローアーム側のNMOSトランジスタN3のソースは第2のコモン電位点28に接続され、ドレインは第2の70V電源に接続される。NMOSトランジスタN2のソースとローアーム側NMOSトランジスタN3のドレインとは共通に接続されており、ここに電位W_{HV}が出力される。

プッシュプルドライブ回路7には第2のコモン電位、第2の5V電源及び第2の15V電源が供給される。プッシュプルドライブ回路7の構成は後に詳述される。

第1電源制御信号のH側とL側がそれぞれ部分31を伝送される。一対の部分31の出力は、それぞれプッシュプルドライバー用ゲート回路7のハイアーム側入力及びローアーム側入力として機能する。プッシュプルドライバー用ゲート回路7はNMOSトランジスタN2とNMOSトランジスタN3のそれぞれのゲートに駆動信号を与える。

第1電源制御信号のH側とL側の値をそれぞれ“H”，“L”とすることで、プッシュプルドライバー用ゲート回路7はNMOSトランジスタN3をオフさせ、NMOSトランジスタN2をオンさせ、電位W_{HV}として第2のコモン電位を

基準とする70Vを供給する。逆に第1電源制御信号のH側とL側の値をそれぞれ“L”，“H”とすることで、プッシュプルドライバ用ゲート回路7はNMOSトランジスタN3をオンさせ、NMOSトランジスタN2をオフさせ、電位W_HVとして第2のコモン電位を供給する。

(b-6) 電源コントロール回路26：

第10図は、電源コントロール回路26の構成を示す回路図である。電源コントロール回路26の出力する第2のコモン電位は、デジタル信号発生回路21からの第2コモン制御信号に基づいて、第1のコモン電位もしくは第1のコモン電位から所定の電圧HV (>W_HV) だけ高い電位 (以下「第1のHV電位」) を採る。第1のHV電位は第1図の電位Va2に相当する。

電源コントロール回路26には、同時には“H”を採らない一対 (H側及びL側) のコモン電位制御信号が与えられる。ここで「H側」「L側」とは、電源コントロール回路26の最終段におけるトランジスタのハイアーム側及びローアーム側をコントロールすることを示しており、第1の制御信号のレベルを示すものではない。

電源コントロール回路は、コモン電位制御信号を受けるプッシュプルドライブ回路7と、第1のHV電源と第1のコモン電位点27との間にトータムポール接続されたNMOSトランジスタN4、N5とを備えている。またNMOSトランジスタN4、N5にはそれぞれ保護ダイオードD26、D25が設けられている。

ローアーム側NMOSトランジスタN5のソースは第1のコモン電位点27に接続され、ハイアーム側NMOSトランジスタN4のドレインは第1のHV電源に抵抗R5を介して接続される。それぞれのゲートにはプッシュプルドライバ用ゲート回路7の一対の出力がそれぞれ与えられる。

NMOSトランジスタN4のソースとNMOSトランジスタN4のドレインとは共通に接続されており、ここに第2のコモン電位が出力される。

なお、電源コントロール回路25とは異なり、プッシュプルドライブ回路7には第1のコモン電位、第1の5V電源及び第1の15V電源が供給される。

第2のコモン電位として第1のHV電位を供給する場合には、コモン電位制御信号のH側とL側の値をそれぞれ“H”，“L”とする。プッシュプルドライバ

一用ゲート回路7はNMOSトランジスタN5をターンオフさせ、NMOSトランジスタN4をターンオンさせる。従って、第1のHV電源及び抵抗R5によって第2のコモン電位点28が供給する電位（即ち第2のコモン電位）は徐々に第1のHV電位へと上昇する。

一方、第2のコモン電位点28に第1のコモン電位（接地電位）を出力する場合は、コモン電位制御信号のH側とL側の値をそれぞれ“L”，“H”とする。プッシュプルドライバ用ゲート回路7はNMOSトランジスタN5をターンオンさせ、NMOSトランジスタR5をターンオフさせる。これにより第2のコモン電位点28は直ちに第1のコモン電位を供給することになる。

（b-7）プッシュプルドライバ用ゲート回路7：

第11図はプッシュプルドライバ用ゲート回路7と、これに接続されるスイッチ回路70の構成を示す回路図である。スイッチ回路70はトータムポール接続された2つのNMOSトランジスタN6，N7を備えており、プッシュプルドライバ用ゲート回路7はこれらのNMOSトランジスタを駆動する。

ローアーム側NMOSトランジスタN7のソースはコモン電位点30に接続され、ハイアーム側NMOSトランジスタN6のドレインはコモン電位点30を基準とする高電位点292に接続されている。第11図において、コモン電位点30を基準とする電位点あるいは電源は四角で示されている。NMOSトランジスタN7のドレインはNMOSトランジスタN6のソースと共通に接続され、ここから出力が得られる。

プッシュプルドライバ用ゲート回路7はゲート駆動用IC75（例えばIR社IR2113S）を備えている。ゲート駆動用IC75のハイアーム側コモン端VSとローアーム側コモン端COMは、それぞれNMOSトランジスタN6，N7のソースに接続される。この結果、ローアーム側コモン端COMにはスイッチ回路70と同様にしてコモン電位点30が接続されることになる。

ハイアーム側のゲート出力端HOとローアーム側のゲート出力端LOとは、それぞれNMOSトランジスタN6，N7のゲートにそれぞれ素子並列接続体を介して接続される。ここで素子並列接続体とは、ダイオードDgとゲート抵抗Rgの並列接続である。ダイオードDgのアノードがNMOSトランジスタN6，N

7に近いように接続されている。素子並列接続体はNMOSトランジスタN6、N7のターンオフが高速に行われ、アーム間の短絡を防止するために設けられている。

ゲート駆動用IC75の電源コモン端としては、ハイアーム側コモン端VS、ローアーム側コモン端COMの他、ロジック用コモン端VSSがあり、ロジック用コモン端VSSもスイッチ回路70と同様にコモン電位点30に接続される。

ゲート駆動用IC75の電源入力端としては、ロジック用電源入力端VDD、ハイアーム側ゲート信号用電源入力端VB、ローアーム側ゲート信号用電源入力端VCCがある。ロジック用電源入力端VDD、ローアーム側ゲート信号用電源入力端VCCにはいずれもコモン電位点30の電位を基準として、それぞれ5V、15Vの電圧が与えられる。また、ハイアーム側ゲート信号用電源入力端VBには、ハイアーム側コモン端VSを基準とする15Vの電源が必要なので、ダイオードD70を介して15Vの電圧が与えられる。なお、ローアーム側ゲート信号用電源入力端VCCとローアーム側コモン端COMとの間、及びハイアーム側ゲート信号用電源入力端VBとハイアーム側コモン端VSとの間には、それぞれコンデンサCbが設けられている。

プッシュプルドライバ用ゲート回路7にはハイアーム側制御入力及びローアーム側制御入力を与えられる。これらはドライバIC75のハイアーム側制御入力端HIN及びローアーム側制御入力端LINに入力する。ハイアーム側制御入力が“H”を採る場合には、ゲート抵抗Rgを介してハイアーム側NMOSトランジスタN6のゲートに対し、ハイアーム側コモン端VSを基準として“H”であるゲート信号を出力する。ここでNMOSトランジスタN6のターンオンは、その入力容量とゲート抵抗Rgとで定まる放電時定数に従ってゲート信号に対して遅くなる。またNMOSトランジスタN6のソース電位が高い程、ハイアーム側コモン端VSの電位は高くなる。

ハイアーム側制御入力が“L”を採る場合にはNMOSトランジスタN6のゲートに対するゲート信号は“L”を採る。ダイオードDgが順方向にバイアスされるので、放電時定数に関係なく高速に、NMOSトランジスタN6のゲートから電荷が引き抜かれる。この結果、ゲート信号に対して迅速にNMOSトランジ

スタN6がターンオフする。

ローアーム側制御入力及びNMOSトランジスタN7の動作についても上記と同様である。但し、NMOSトランジスタN7のソースにはハイアーム側制御入力及びローアーム側制御入力が基準とするコモン電位と同一のコモン電位（即ちコモン電位点30が与える電位）が与えられなければならない。

この回路において、NMOSトランジスタN6、N7のターンオンは抵抗Rgの存在により放電時定数による遅延が生じる一方、ターンオフはダイオードDgでバイパスされるため瞬時に行われる。このような動作により、万一ハイアーム側制御入力及びローアーム側制御入力が同時に変化しても、トランジスタのターンオフの遅延を原因とするアーム間の短絡が防止できる。

勿論、アーム間の短絡を回避するためにはハイアーム側制御入力及びローアーム側制御入力を同時に“H”としてはならない。

電源コントロール回路25においてプッシュプルドライバ用ゲート回路7を用いる場合にはコモン電位点30は第2のコモン電位点28に相当し、NMOSトランジスタN6、N7はそれぞれNMOSトランジスタN2、N3に相当する。またハイアーム側制御入力及びローアーム側制御入力としては、それぞれ第1電源制御信号のH側及びL側が相当する。

一方、電源コントロール回路26においてプッシュプルドライバ用ゲート回路7を用いる場合にはコモン電位点30は第1のコモン電位点27に相当し、NMOSトランジスタN6、N7はそれぞれNMOSトランジスタN4、N5に相当する。またハイアーム側制御入力及びローアーム側制御入力としては、それぞれコモン電位制御信号のH側及びL側が相当する。

（b-8）本実施の形態の動作の説明：

第12図は本実施の形態の動作を示すタイミングチャートである。本実施の形態の動作は大きく分けて、

- (I) 書き込み準備（プライミング）
- (II) 書き込み放電
- (III) 電荷消去（リセット）
- (IV) 維持放電

の4段階に分けられる。以下、それぞれの段階について順次説明する。

(I) 書き込み準備 (プライミング) .

このシーケンスでは、面放電型プラズマディスプレイパネルにおいて、各表示セル C_{jk} の蓄える電荷を消去するため消去パルスを入力し、次に行われる書き込み放電のための種火となる空間電荷を残留させ、書き込み放電の準備を行う。

書き込み準備においては、デジタル信号発生回路21からの制御信号及び駆動データは非アクティブに設定される。具体的には駆動データ、クロック信号CLK、データラッチ信号は“L”に、出力イネーブル信号ENは“H”に、それぞれ強制的に設定される。かかる設定はデジタル信号発生回路21によって行われる。

第1電源制御信号のH側は“L”を採る。一般に第1電源制御信号のL側はH側と異なる論理を採る。これによって電位 W_HV は第2のコモン電位を採っている。第2電源制御信号は“L”を採る。これによって電位 W_5V は第2のコモン電位を採っている。

時刻 t_1 においてコモン電位制御信号のH側を“L”から“H”に遷移させ（一般にコモン電位制御信号のL側はH側と異なる論理を採る）、第2のコモン電位点28から第1のコモン電位（接地電位）を基準とした電位HVを供給する。また時刻 t_1 において走査電極Xが接地電位0Vから電位 V_p へと上昇する。電位 V_p 、HVは、表示セル C_{jk} において維持放電よりも大きな放電が行われるように選択される。例えば、電位 V_p は図1において示される電位 V_w と電位 V_s との和に、電位HVは電位 V_{a2} に設定される。

第13図はあるドライブ回路221の部分的な等価回路と、アイソレーション回路23に備えられ、ドライブ回路221の1ビット分の出力段に対応する入力信号を供給する構成要素32aと、電源コントロール回路24、25、26との接続関係を示す回路図である。但し、電源コントロール回路25における部分25pは、プッシュプルドライバー用ゲート回路7と一対の部分31とをまとめて表示している。この図において第2のコモン電位点28から第1のコモン電位を基準とした電位HVが供給された場合の電流の流れが示される。

第13図と第1図の対比から、電源コントロール回路26は回路DR0に、電

源コントロール回路25は回路DR1に、それぞれ相当することがわかる。より詳細には、トランジスタN2, N3, N4, N5はそれぞれスイッチSW12, SW13, SW10, SW11に相当し、保護ダイオードD23, D24, D25, D26はそれぞれダイオードD12, D13, D11, D10に相当する。

ドライブ回路221の1ビット分の出力段は、ドライブ回路221の内部の制御回路の制御に従ってオン/オフするNMOSTランジスタN9, N10と、これらに並列に設けられる保護ダイオードD45, D46とで構成される。内部回路は第2のコモン電位を基準とする電位5V及び電位W_{HV}が供給されて動作する。ドライブ回路221の1ビット分の出力段は、第1図に示されたアドレスドライブ回路AD2に相当し、NMOSTランジスタN9, N10はスイッチSW3, SW4に、また保護ダイオードD45, D46はダイオードD3, D4に、それぞれ相当する。

NMOSTランジスタN9のドレインには、書き込み放電期間においてアドレス電極に与えられる電位W_{HV}が与えられ、ソースはドライブ回路221の出力端を介してアドレス電極A₁に接続される。NMOSTランジスタN10のソースには第2のコモン電位点28が接続され、ドレインはドライブ回路221の出力端を介してアドレス電極A₁に接続される。保護ダイオードD45, D46は、それぞれNMOSTランジスタN9, N10に対して並列に接続されており、通常NMOSTランジスタN9, N10に流される電流とは、逆の方向に電流を流す機能を果たす。

バッファB1, B2は通常、トータムポール接続されたPMOSTランジスタ（ハイアーム側）及びNMOSTランジスタ（ローアーム側）を入力段用と出力段用に2組備え、入力段及び出力段のいずれにもハイアーム側及びローアーム側にそれぞれに保護ダイオードが設けられている。例えばバッファB1の出力段はトータムポール接続されたPMOSTランジスタP2及びNMOSTランジスタN8で構成され、PMOSTランジスタP2及びNMOSTランジスタN8にはそれぞれ保護ダイオードD41, D42が設けられている。また、バッファB2の入力段はトータムポール接続されたPMOSTランジスタP3及びNMOSTランジスタN11で構成され、PMOSTランジスタP3及びNMOSTランジ

スタN11にはそれぞれ保護ダイオードD43, D44が設けられている。

第1電源制御信号のH側、L側はそれぞれ“L”, “H”を採るので、電源コントロール回路25のNMOSトランジスタN3, N2はそれぞれオン、オフしている。また第2電源制御信号は“L”を採るので、電源コントロール回路24のPMOSトランジスタP1はオフし、NMOSトランジスタN1はオンしている。

駆動データは強制的に“L”に設定されているので、PMOSトランジスタP2がオフし、NMOSトランジスタN8がオンしている。またドライブ回路221のNMOSトランジスタN9, N10は、出力イネーブル信号ENが“H”に設定されていることに基づいて、ドライブ回路221の内部の制御回路の制御によってそれぞれオフ、オンしている。

時刻t1においてコモン電位制御信号のH側及びL側がそれぞれ“H”, “L”と変化するので、電源コントロール回路26において、NMOSトランジスタN4, N5はそれぞれオン、オフする。よって電流I91が第1のHV電源から抵抗R5 NMOSトランジスタN4を通して第2のコモン電位点28へと流れる。電流I91はその一部が電流I92となって、第2のコモン電位点28からドライブ回路221へと流れ、保護ダイオードD46を通してアドレス電極A1に流れる。これによって表示セルCjkには電荷が蓄えられる。

電流I91はその一部が電流I93となって、バッファB2の保護ダイオードD44、コンデンサC3、バッファB1のNMOSトランジスタN8を通して第1のコモン電位点27へと、過渡的に流れる。つまりコンデンサC3はそのバッファB2の入力端に接続された側が高電位となるように充電される。

このようにコンデンサC3には充電電流が流れるが、その容量を小さく、例えば470 pF程度に設定することで、電流が流れる期間を、アドレス電極の電圧を高める必要がある期間に比較して短くすることができる。従って、実質的に構成要素32aは第2のコモン電位の変動からアイソレーションされ、よってデジタル信号発生回路21も第2のコモン電位の変動からアイソレーションされることになる。

更に、電流I93の最大値がバッファB1の出力能力に対応して定格が設定さ

れるトランジスタN 8、保護ダイオードD 4 4の保護能力を越えないよう、電源コントロール回路2 6に抵抗R 5が設けられている。

次に時刻t 2においてコモン電位制御信号のH側を“L”にし、第2のコモン電位点2 8から第1のコモン電位を供給する。また走査電極Xの電位を接地電位にする。これにより表示セルC_{j,k}における自己消去放電が行われ、種火となる空間電荷が残留する。

第14図は第13図に対応しており、第2のコモン電位点2 8から第1のコモン電位が供給された場合の電流の流れを示す回路図である。時刻t 2においても第1電源制御信号、第2電源制御信号、駆動データ、制御信号は変化しないので、トランジスタN 1、P 1、N 3、N 2、N 9、N 10、P 2、N 8のオン/オフの状態は変わらない。

しかし、電源コントロール回路2 6においてNMOSトランジスタN 4、N 5がそれぞれオフ、オンすることになるので、第2のコモン電位点2 8には第1のコモン電位が供給されている。従って、表示セルC_{j,k}に蓄えられていた電荷は電流I 9 4として、アドレス電極A_jからドライブ回路2 2_jの保護ダイオードD 4 5、電源コントロール回路2 5のNMOSトランジスタN 3を通り、第2のコモン電位点へと流れる。その一方、アドレス電極A_jからNMOSトランジスタN 10を通り、第2のコモン電位点2 8へと流れる電流I 9 5も存在する。これら電流I 9 4、I 9 5は第2のコモン電位点2 8から電源コントロール回路2 6のNMOSトランジスタN 5を通り第1のコモン電位点2 7へと流れて、表示セルC_{j,k}に充電された電荷は放電される。

一方、時刻t 1から時刻t 2の間で充電されたコンデンサC 3はその蓄えた電荷を放電する。この放電に基づき、電流I 9 6がバッファB 2の保護ダイオードD 4 3及びダイオードD 3 3、電源コントロール回路2 4のNMOSトランジスタN 1を通り第2のコモン電位点2 8へと流れる。電流I 9 6は第2のコモン電位点2 8から電源コントロール回路2 6のNMOSトランジスタN 5を通過して第1のコモン電位点2 7に流れる。更に電流I 9 6は第1のコモン電位点2 7からバッファB 1の保護ダイオードD 4 2及びダイオードD 3 2を通過してコンデンサC 3に到る。

ダイオードD 3 2, D 3 3はコンデンサC 3の放電を速やかにし、第2のコモン電位点28の電位を第1のコモン電位まで迅速に低下(500nsec以下)させることができる。また、ダイオードD 3 2, D 3 3は保護ダイオードD 4 2, D 4 3の機能を補助するので、実質的に構成要素32aは、第2のコモン電位の変動からアイソレーションされることになる。

以上のようにして第2のコモン電位点28の電位点を第1のコモン電位及び第1のHV電源の電位の間で遷移させることにより、アドレス電極にはこれに対応してパルス状に電圧HVを生じさせることができる。

(I I) 書き込み放電.

このシーケンスでは、各々のライン走査時、全てのアドレス電極A_jに一斉にそれぞれのデータに対応して電圧V_a (<HV)を与え、書き込み放電を行う。

書き込み放電期間において、コモン電位制御信号のH側、L側はそれぞれ“L”, “H”を維持し、電源コントロール回路26においてNMOSトランジスタN4, N5はそれぞれオフ、オンしている。従って、第2のコモン電位は第1のコモン電位に設定されている。

時刻t3において第1電源制御信号のH側、L側はそれぞれ“H”, “L”へと遷移し、第2電源制御信号も“H”へと遷移する。これによって電源コントロール回路24のPMOSトランジスタP1, NMOSトランジスタN1はそれぞれオン、オフし、電源コントロール回路25のNMOSトランジスタN2, N3はそれぞれオン、オフする。第2のコモン電位が第1のコモン電位に等しいので、電位W₅V, W_HVはそれぞれ第1のコモン電位を基準として5V, 70Vを採る。このように各電位が設定されるので、従来から通常行われている書き込み放電のシーケンスによって駆動データを転送し、アドレス電極からの書き込みを行うことができる。例えば走査電極Y_kは、負の電位であるスキャン電位-V_{sc}と電位-V_sの間で遷移する。

書き込み放電期間においては、デジタル信号発生回路21からの制御信号、駆動データが強制的に非アクティブ状態に設定されるのではなく、“H”, “L”の間を遷移する。そこで、部分32にて処理を受けるクロック信号CLK、データラッチ信号DL、駆動データが“H”, “L”の間を遷移する場合のコンデン

サC 3の充電／放電について説明する。

第15図は電源コントロール回路26と構成要素32aとの接続関係を示す回路図である。第15図ではデジタル信号発生回路21から得られる、例えばデータラッチ信号DL（クロック信号CLK、駆動データの1ビット分についても同様）が“L”から“H”へと遷移する場合の電流の流れが示される。

データラッチ信号DLが“L”から“H”へと遷移することにより、バッファB1の出力段のPMOSTランジスタP2、NMOSTランジスタN8はそれぞれオン、オフする。これに伴い、バッファB1の出力端の電位は0Vから5Vへと急上昇するので、この変動はコンデンサC3を介してバッファB2に伝達され、迅速にバッファB2の入力段のNMOSTランジスタN11及びPMOSTランジスタP3をそれぞれオン、オフさせる。これに伴い、バッファB2の出力段のローアーム側NMOSTランジスタ及びハイアーム側のPMOSTランジスタがそれぞれオフ、オンし、バッファB2の出力は“L”から“H”へと遷移する。

このようにコンデンサC3を用いて電圧のステップアップが実現できるので、構成要素32aにおいてデータラッチ信号DLの遷移を迅速に伝達することができる。

但し、データラッチ信号DLが“L”であった時に、バッファB2のPMOSTランジスタP3がオンしていたために、コンデンサC3の両端のうち、バッファB2に接続された側の端E2には、バッファB1に接続された側の端E1よりも多くの電荷が蓄積されている。つまり、バッファB1側よりもバッファB2側の電位が高くなるような電圧が、コンデンサC3によって保持されている。この場合にはバッファB2のハイアーム側に通常設けられている保護ダイオードD43の他、ダイオードD33も経由して電源コントロール回路24の保護ダイオードD21へと電流が流れる。かかる動作によってバッファB2の入力段には不要な電圧上昇が生じない。つまり電源コントロール回路24の保護ダイオードD21はバッファB2の入力段をも保護することになる。

その後も、バッファB2のNMOSTランジスタN11の微小な漏れ電流I103、及びバッファB1のPMOSTランジスタP2を流れる電流I101によりコンデンサC3は逆向きに充電され、その端E1の電位は端E2の電位よりも

上昇してくる。

第16図は第15図に対応した回路図であり、データラッチ信号DLが“H”から“L”へと遷移する場合に流れる電流を示している。バッファB1の出力段のPMOSトランジスタP2、NMOSトランジスタN8はそれぞれオフ、オンする。これに伴い、バッファB1の出力端の電位は5Vから0Vへと急低下するので、この変動はコンデンサC3を介してバッファB2に伝達され、迅速にバッファB2のNMOSトランジスタN11及びPMOSトランジスタP3をそれぞれオフ、オンさせる。これに伴い、バッファB2の出力段のローアーム側NMOSトランジスタ及びハイアーム側のPMOSトランジスタがそれぞれオン、オフし、バッファB2の出力は“H”から“L”へと遷移する。

データラッチ信号DLが“H”であった時にコンデンサC3の端E1の電位は端E2の電位よりも高くなっている。しかし、バッファB1の出力段のローアーム側NMOSトランジスタN8がオンしているので、コンデンサの端E1に蓄えられていた電荷は電流I104となって第1のコモン電位点27へと流れる。これは更に電源コントロール回路26の保護ダイオードD25及びバッファB2の保護ダイオードD44を介してコンデンサC3の端E2に到る。これによってコンデンサC3が放電する。

しかし、更にコンデンサC3は逆向きに充電され始める。これは電源コントロール回路24のPMOSトランジスタP1がオンしているので、バッファB2のPMOSトランジスタP3の微少な漏れ電流I106によって第2の5V電源からコンデンサC3の端E2へと電荷が供給されるからである。

(III) 電荷消去。

書き込み放電によって、全てのアドレス電極についてそれぞれの駆動データが書き込まれた後、電荷消去のシーケンスが行われる。

コモン電位制御信号のH側、L側はそれぞれ“L”，“H”を維持し、第2のコモン電位は第1のコモン電位を維持している。

時刻t4において第1電源制御信号のH側、L側はそれぞれ“L”，“H”へと遷移し、第2電源制御信号も“L”へと遷移する。これによって電源コントロール回路24のPMOSトランジスタP1、NMOSトランジスタN1はそれぞれ

れオフ、オンし、電源コントロール回路25のNMOSトランジスタN2、N3はそれぞれオフ、オンする。電位W₅V、W_{HV}はそれぞれ第2のコモン電位と等しくなるが、第2のコモン電位は第1のコモン電位に等しいので、結局電位W₅V、W_{HV}も第1のコモン電位と等しくなる。

時刻t₄において既に出カイネーブル信号ENは“H”（非アクティブ）になっており、また駆動データ、クロック信号CLK、データラッチ信号DLは時刻t₄において強制的に“L”に設定されて非アクティブとなる。また走査電極Y_kの電位は0Vへ設定される。

このようにすることで、書き込み放電において充電されたコンデンサC3の電荷を放電することができる。この際、電位W_{HV}は0Vであるので、ドライブ回路221の出力段のトランジスタN9、N10の直列接続の両端には電圧がかからず、アドレス電極A_jは影響を受けない。

第17図は電源コントロール回路26と構成要素32aとの接続関係を示す回路図である。第17図ではコンデンサC3の端E1の電位が端E2の電位よりも高められていた場合の、コンデンサC3の放電を示す。

第2電源制御信号は“L”を採るので、電源コントロール回路24のPMOSトランジスタP1はオフし、NMOSトランジスタN1はオンする。駆動データ、クロック信号CLK、データラッチ信号は“L”なので、バッファB1のPMOSトランジスタP2がオフし、NMOSトランジスタN8がオンしている。コモン電位制御信号のH側、L側はそれぞれ“L”、“H”を維持しているので、電源コントロール回路26においてNMOSトランジスタN4、N5はそれぞれオフ、オンしている。

コンデンサC3に蓄えられていた電荷は、第16図で示された電流I104のように、NMOSトランジスタN8、第1のコモン電位点27、電源コントロール回路26の保護ダイオードD25、第2のコモン電位点28、バッファB2の保護ダイオードD44の経路で放電される。

但し、第16図で示された電流I106は流れない。電源コントロール回路24のPMOSトランジスタP1がオフしているからである。

第18図は電源コントロール回路26と構成要素32aとの接続関係を示す回

路図である。第18図ではコンデンサC3の端E2の電位が端E1の電位よりも高められていた場合の、コンデンサC3の放電を示す。

コンデンサC3に蓄えられていた電荷は、バッファB2の保護ダイオードD43及びダイオードD33、電源コントロール回路24のNMOSトランジスタN1、第2のコモン電位点28、電源コントロール回路26のローアーム側NMOSトランジスタN5、第1のコモン電位点27、バッファB1の保護ダイオードD42及びダイオードD32の経路で放電される。

なお上記のタイミングだけでなく、種火放電のシーケンスや、後述する維持放電のシーケンスの期間でも放電に必要な条件が満足されるので、コンデンサC3の放電は生じる。

(IV) 維持放電.

電荷消去期間が終了後、走査電極X、Y_k間で発光のための維持放電が行われる。

時刻t5においても出力イネーブル信号ENは“H”、駆動データ、クロック信号CLK、データラッチ信号DLは“L”のままで非アクティブとなっている。また第1の電源制御信号の“H”側及び第2の電源制御信号は時刻t4から引き続いて“L”を採っており、電位W_{5V}、W_{HV}は第2のコモン電位を採っている。

しかし、コモン電位制御信号は時刻t5において“L”から“H”へと遷移するため、第2のコモン電位は第1のHV電源が供給する電位と等しくなる。即ちアドレス電極A_jには電圧HVが印加される。時刻t6において維持放電期間が終了すると、コモン電位制御信号のH側は“H”から“L”へと遷移し、第2のコモン電位は第1のコモン電位（接地電位）を採る。このような第2のコモン電位の変動によって、アドレス電極A_jと構成要素32aと電源コントロール回路24、25、26の間に流れる電流の状態は、(I)書き込み準備で説明した電流の状態と同じである。

C. 実施の形態2:

実施の形態2では、実施の形態1で示された構成要素32aを変形した技術を示す。第19図は構成要素32bの構成を示す回路図である。構成要素32bは

構成要素 3 2 a と置換されてアイソレーション回路 2 3 の部分 3 2 を構成する。

構成要素 3 2 b は、構成要素 3 2 a において電位 W_5V が与えられていたバッファ B 2 に対して、第 2 の 5 V 電位を与える点のみ異なっている。つまりダイオード D 3 3 に対する電位の供給は実施の形態 1 と同様であるが、バッファ B 2 に対しては常に第 2 の 5 V 電位が与えられることになる。よってダイオード D 3 3 とバッファ B 2 の両方に対して電位 W_5V を与えていた電源コントロール回路 2 4 の出力負荷が軽減される。

実施の形態 2 における動作シーケンスは第 1 2 図に示された実施の形態 1 の動作シーケンスと同一である。以下、相違点を中心にして説明する。第 2 0 図は実施の形態 1 の第 1 3 図に対応し、第 2 のコモン電位点 2 8 から第 1 のコモン電位を基準とした電位 H V が供給された場合の電流の流れが示される。第 1 3 図と第 2 0 図との間で電流の流れに相違はない。

第 2 1 図は実施の形態 1 の第 1 4 図に対応し、第 2 のコモン電位点 2 8 から第 1 のコモン電位が供給された場合の電流の流れを示す回路図である。実施の形態 1 とは異なり、バッファ B 2 のハイアーム側には第 2 の 5 V 電源が接続されているので、電流 I 9 6 はバッファ B 2 の保護ダイオード D 4 3 を通ることなくダイオード D 3 3 のみを経由して、電源コントロール回路 2 4 の NMOS トランジスタ N 1 へと流れる。

第 2 2 図は実施の形態 1 の第 1 5 図に対応し、例えばデータラッチ信号 DL が “L” から “H” へと遷移する場合の電流の流れを示す回路図である。書き込み放電期間においては電位 W_5V は第 2 の 5 V 電位を採るので、電流 I 1 0 2 の流れに実質的な相違はない。保護ダイオード D 4 3 を流れる電流はダイオード D 2 1 を介さずに第 2 の 5 V 電源へと流れる点が異なっているに過ぎない。

第 2 3 図は実施の形態 1 の第 1 6 図に対応し、データラッチ信号 DL が “H” から “L” へと遷移する場合に流れる電流を示す回路図である。漏れ電流 I 1 0 6 の流れに実質的な相違はない。電源コントロール回路 2 4 の PMOS トランジスタ P 1 を介することなく、第 2 の 5 V 電源から供給される点が異なっているに過ぎない。

第 2 4 図は実施の形態 1 の第 1 7 図に対応し、コンデンサ C 3 の端 E 1 の電位

が端E 2の電位よりも高められていた場合の、コンデンサC 3の放電を示す回路図である。第17図と第24図との間で電流の流れに相違はない。

第25図は実施の形態1の第18図に対応し、コンデンサC 3の端E 2の電位が端E 1の電位よりも高められていた場合の、コンデンサC 3の放電を示す回路図である。実施の形態1とは異なり、バッファB 2のハイアーム側には第2の5V電源が接続されているので、放電経路はバッファB 2の保護ダイオードD 43を含まない点で異なっている。

D. 実施の形態3:

実施の形態3では、実施の形態1で示された構成要素32aを変形した技術を示す。第26図は構成要素32cの構成を示す回路図である。構成要素32cは構成要素32aと置換されてアイソレーション回路23の部分32を構成する。

構成要素32cは、構成要素32aに対して、ダイオードD 35、D 36を追加した構成となっている。ダイオードD 35のカソード及びアノードにはそれぞれ第1の5V電源及びダイオードD 32のカソードが接続される。また、ダイオードD 36のカソード及びアノードにはそれぞれダイオードD 33のアノード及び第2の電位点28が接続される。

このようにダイオードD 35、D 36を追加することにより、以下のように種火放電のシーケンス及び維持放電をおこすシーケンスにおいて、バッファB 1の出力を“H”にして第2のコモン電位を迅速に第1のHV電位に立ち上げることができる。

第27図は本実施の形態の動作を示すタイミングチャートである。実施の形態1のタイミングチャートである第12図と比較すると、書き込み準備期間及び維持放電期間において駆動データ、クロック信号CLK、データラッチ信号DL、出力イネーブル信号ENが強制的に“H”に設定される点で異なっている。但し書き込み放電期間が時刻t 3に開始する前に、時刻t 6において駆動データ、クロック信号CLK、データラッチ信号DLは強制的に“L”に設定され、出力イネーブル信号は“H”に維持されたままである。書き込み準備期間は時刻t 6で終了し、時刻t 6～t 3は第1の電荷消去期間となる。書き込み放電期間中は、クロック信号CLK、データラッチ信号DL、出力イネーブル信号ENは、それ

ぞれ強制的な設定を受けなくなる。

実施の形態1で時刻 $t_4 \sim t_5$ において設定されていた電荷消去期間は、本実施の形態では第2の電荷消去期間として設定され、この期間の間の時刻 t_7 において、再び駆動データ、クロック信号 CLK、データラッチ信号 DL、出力イネーブル信号 EN が強制的に “H” に設定される。

以下、実施の形態1との相違点を中心にして本実施の形態の動作を述べる。第28図は実施の形態1の第13図に対応した回路図であり、第2のコモン電位点28から第1のコモン電位を基準とした電位 HV が供給された場合の電流の流れが示される。

制御信号、例えばデータラッチ信号 DL が “H” に強制的に設定されているので、バッファ B1 のトランジスタ P2, N8 はそれぞれオン、オフしている。また出力イネーブル信号 EN が強制的に “H” に設定されているので、ドライブ回路22₁ のトランジスタ N9, N10 はそれぞれオフ、オンしている。このような状況で時刻 t_1 においてコモン制御信号の H 側、L 側がそれぞれ “H”, “L” をとると電源コントロール回路26の NMOS トランジスタ N4, N5 はそれぞれオン、オフし、第1の HV 電源から NMOS トランジスタ N4 を通って第2のコモン電位点28へと電流 I81 が流れる。電流 I81 の一部は実施の形態1における電流 I92 と同様にして第2のコモン電位点28から、ドライブ回路22₁ の保護ダイオード D46 を介してアドレス電極 A₁ と流れる。

一方、電流 I81 の一部は電流 I83 として第2のコモン電位点28からダイオード D36、D44、コンデンサ C3、ダイオード D35、D41 の順に過渡的に流れて、コンデンサ C3 を充電する。この時、電流 I83 によってコンデンサ C3 に充電される電圧はほぼ第1の HV 電源の電位と 5V との差になる。これを実施の形態1においてコンデンサ C3 に充電される電圧がほぼ第1の HV 電源の電位に等しいことと比較してみれば、充電に必要な時間が実施の形態1よりも本実施の形態の方が短くて済むことがわかる。即ち、第2のコモン電位点28の電位の立ち上がりは迅速に行われる。

更に、ダイオード D35、D36 は、それぞれ保護ダイオード D41、D44 に並列に設けられているので、充電経路のインピーダンスを低下させて上記動作

がより迅速に行われることを助ける。勿論、保護ダイオードD 4 1, D 4 4がそれぞれバッファB 1, B 2に備えられている限り、ダイオードD 3 5, D 3 6が備えられていない構成要素3 2 aについても、第27図の第1の電荷消去期間の動作シーケンスを実行して、第2のコモン電位点2 8の電位の立ち上がりを迅速にすることができる。

第29図は第14図に対応しており、第2のコモン電位点2 8から第1のコモン電位が供給された場合の電流の流れを示す回路図である。実施の形態1の場合と同様に電流I 9 4, I 9 5, I 9 6が流れてコンデンサC 3の電荷は放電されるが、本実施の形態においてはコンデンサC 3は幾分充電されたままになる。バッファB 1に“H”が入力されているので、そのPMOSトランジスタP 2がオンしており、第1の5 V電源から電荷が供給され、端E 1の電位は端E 2の電位よりも5 V高くなっている。これを放電するために、時刻t 6～t 3において第1の電荷消去期間が設けられている。

第30図は第1の電荷消去期間におけるコンデンサC 3の放電を示す回路図である。駆動データ、データラッチ信号DL、クロック信号CLKが強制的に“L”に設定されるので、動作は第17図に示された実施の形態1の電荷消去期間とほぼ同じである。ただ、バッファB 2の保護ダイオードD 4 4に対してダイオードD 3 6が同じ向きに並列に接続されているので、ダイオードD 3 6が保護ダイオードD 4 4と並列に放電電流経路に加わる点のみ異なる。

書き込み放電期間の動作は実施の形態1とほぼ同様であるが、バッファB 1に入力するレベルが遷移する際にコンデンサC 3を充放電する電流の経路が若干の異なる。第31図は第15図に対応した回路図であり、データラッチ信号DLが“L”から“H”へと遷移する場合の電流の流れが示されている。バッファB 1のPMOSトランジスタP 2及びバッファB 2のNMOSトランジスタN 1 1のいずれもがオンするので、実施の形態1に示された構成要素3 2 aに対して付加されたダイオードD 3 5, D 3 6はそれぞれ電流経路に寄与せず、従って、電流経路は実施の形態1と同様になる。

第32図は第16図に対応した回路図であり、データラッチ信号DLが“H”から“L”へと遷移する場合の電流の流れが示されている。ダイオードD 3 5は

逆バイアスされるので、やはり電流経路に寄与しない。ただ、バッファB2の入力段の保護ダイオードD44に対してダイオードD36が同じ向きに並列に接続されているので、ダイオードD36が保護ダイオードD44と並列に放電電流経路に加わる点のみ異なる。

第2の電荷消去期間に入り、時刻 t_4 においても書き込み放電期間に引き続いてクロック信号CLK、データラッチ信号DL、駆動データは強制的に“L”に設定されたままである。よって実施の形態1で示された電荷消去期間と同様にしてコンデンサC3の放電が行われる。

コンデンサC3において端E1の電位の方が端E2の電位よりも高く充電されていた場合には、第30図に示された第1の電荷消去期間と同様の動作が行われる。これに対し、第33図はコンデンサC3において端E1の電位の方が端E2の電位よりも高く充電されていた場合の放電経路を示し、第18図に対応した回路図である。放電経路は第18図に示されたものと同様になる。

コンデンサC3の放電ののち、維持放電期間が開始する時刻 t_5 に先だって、時刻 t_7 においてクロック信号CLK、データラッチ信号DL、駆動データは強制的に“H”に設定される。維持放電期間においては第2のコモン電位点28が第1のHV電位を供給するので、その立ち上がりを迅速にさせるためである。

E. 実施の形態4：

実施の形態4では、実施の形態3で示された構成要素32cを変形した技術を示す。第34図は構成要素32dの構成を示す回路図である。構成要素32dは構成要素32aと置換されてアイソレーション回路23の部分32を構成する。

構成要素32dは、構成要素32cにおいて電位 W_{-5V} が与えられていたバッファB2に対して、第2の5V電位を与える点のみ異なっている。つまりダイオードD33に対する電位の供給は実施の形態1と同様であるが、バッファB2に対しては常に第2の5V電位が与えられることになる。よってダイオードD33とバッファB2の両方に対して電位 W_{-5V} を与えていた電源コントロール回路24の出力負荷が軽減される。

本実施の形態において採用される動作シーケンスは第27図に示された実施の形態3の動作シーケンスと同一である。以下、相違点を中心に本実施の形態の動

作を説明する。第35図及び第36図は本実施の形態における書き込み準備期間の動作を示す回路図であり、それぞれ第28図及び第29図に対応している。本実施の形態における書き込み準備期間でのコンデンサC3の充放電電流は、実施の形態3のそれとほぼ同様である。但し第36図に示されるように、第2のコモン電位点28が第1のコモン電位を供給する場合に、保護ダイオードD43のカソードには第2の5V電位が供給されているため、電流I96はこれを通らない点で異なっている。

第37図は本実施の形態における第1電荷消去期間、及びコンデンサC3の端E1が端E2よりも高く充電されていた場合の第2電荷消去期間での、コンデンサC3の放電電流の経路を示す回路図である。また第38図は本実施の形態において、コンデンサC3の端E2が端E1よりも高く充電されていた場合の第2電荷消去期間での、コンデンサC3の放電電流の経路を示す回路図である。第37図及び第38図は実施の形態3で示された第30図及び第33図にそれぞれ対応しており、放電電流の経路もほぼ同様である。但し第38図に示されるように、コンデンサC3の端E2が端E1よりも高く充電されていた場合の第2電荷消去期間において、保護ダイオードD43はそのカソードに第2の5V電位が供給されているため、放電経路にならない点で異なっている。

第39図及び第40図はそれぞれ第31図及び第32図に対応しており、書き込み放電期間においてデータラッチ信号DLが“L”から“H”へと遷移する場合、及び“H”から“L”へと遷移する場合の、電流の流れが示されている。書き込み放電期間では、電位W_{5V}には第2の5V電位が供給されているので、実質的な電流の流れは実施の形態3とは異ならない。データラッチ信号DLが“L”から“H”へと遷移する場合に保護ダイオードD43を流れる電流がダイオードD21を介さずに第2の5V電源へと流れる点が異なっているに過ぎず（第39図）、またデータラッチ信号DLが“L”から“H”へと遷移する場合に電源コントロール回路24のPMOSトランジスタP1を介することなく、第2の5V電源から電流が供給される点が異なっているに過ぎない（第40図）。

F. 実施の形態5：

第41図は実施の形態5の動作を示すタイミングチャートである。実施の形態

5では、実施の形態1～4で用いられた回路において、コンデンサC3の電荷を消去期間を書き込み放電期間の当初（時刻 $t_8 \sim t_{10}$ ）において行う。但し、時刻 t_8 は走査電極 Y_k が最初にスキャン電位 $-V_{sc}$ を採る時点であり、時刻 t_{10} は最初に電位 V_a を採る時点である。そして、時刻 t_8 においては既にコモン制御信号のH側、第1電源制御信号のH側、第2電源制御信号はそれぞれ“L”，“H”，“H”となっている。よって、時刻 t_8 以降は第2のコモン電位、電位 W_{5V} 、 W_{HV} はそれぞれ第1のコモン電位（接地電位）、第2の5V電位、第2のHV電位を採っている。

実施の形態1～4のいずれの場合も、時刻 t_3 の直前では（即ち実施の形態3、4の場合であっても時刻 t_6 よりも遅ければ）駆動データ、クロック信号CLK、データラッチ信号DLはいずれも“L”に、出力イネーブル信号ENは“H”に強制的に設定されている。そして本実施の形態では時刻 t_8 において駆動データ、クロック信号CLK、データラッチ信号DLはいずれも“H”に強制的に設定され、時刻 t_9 においていずれも“L”に強制的に設定され、時刻 t_{10} からアクティブとなる。

第42図は、実施の形態3で示された回路に対して、本実施の形態の時刻 $t_8 \sim$ 時刻 t_9 における動作を示す回路図である。データラッチ信号DL（駆動データ、クロック信号CLKであっても同様）が時刻 t_8 に“H”となると、バッファB1においてPMOSトランジスタP2、NMOSトランジスタN8がそれぞれオン、オフする。また、既に電源コントロール回路24のPMOSトランジスタP1、NMOSトランジスタN1はそれぞれオン、オフしている。

時刻 t_8 以前にコンデンサC3においてその端E2の方が端E1よりも電位が高くなるように充電されていた場合、時刻 t_8 においてコンデンサC3の端E2の電位はステップアップして5Vを越えるので、ダイオードD33、D43の並列接続、ダイオードD21を介して第2の5V電源へと放電電流が流れる。一方、端E1にはPMOSトランジスタP2を介して第1の5V電位が供給される。実施の形態1で示された回路でもこの経路は同じであり、実施の形態2及び実施の形態4で示された回路では保護ダイオードD43を流れる放電電流はダイオードD21を介することなく流れる。

第2のコモン電位点28は第1のコモン電位を採っているので、保護ダイオードD44あるいは更にダイオードD36は逆バイアスされている。従って、コンデンサC3の両端E1, E2にはいずれも第1のコモン電位に対して5Vの電位がかかっており、放電されるのである。

但し、時刻t8以前にコンデンサC3においてその端E1の方が端E2よりも電位が高くなるように充電されていた場合には、コンデンサC3の端E2の電位がステップアップしても5Vを越えないので、第42図に示された放電は生じない。そのように充電されていた場合のコンデンサC3の放電は時刻t9～t10において行われる。

第43図は、実施の形態3で示された回路に対して、本実施の形態の時刻t9～時刻t10における動作を示す回路図である。本実施の形態の時刻t9～t10では、データラッチ信号DL（駆動データ、クロック信号CLKであっても同様）が時刻t9に“L”となると、バッファB1においてPMOSトランジスタP2、NMOSトランジスタN8がそれぞれオフ、オンする。電位W₅Vは実施の形態3の第1の電荷消去期間とは異なり、第2の5V電位を採っているが、ダイオードD33, D43には逆バイアスがかかるので、放電電流の経路たりえない。よってこの場合の放電は第30図に示された実施の形態3の第1の電荷消去期間における動作と同じである。

G. 実施の形態6：

実施の形態6では、実施の形態1で示された構成要素32aを変形した技術を示す。第44図は構成要素32eの構成を示す回路図である。構成要素32eにおけるアイソレーションには、コンデンサを用いない。構成要素32eは構成要素32aと置換されてアイソレーション回路23の部分32を構成する。

構成要素32eでは、デジタル信号発生回路21から得られる、例えばデータラッチ信号DL（クロック信号CLK、駆動データの1ビット分についても同様）をバッファB1に入力し、バッファB1の出力端はダイオードD61のアノードに接続される。バッファB1には第1のコモン電位点27及び第1の5V電源からそれぞれ電位を供給される。

また、ダイオードD61のカソードはバッファB2の入力端及び抵抗R6の一

端に共通して接続される。バッファB2の電源端には第2の5V電源が接続され、バッファB2のコモン端子には抵抗R6の他端と共通に第2のコモン電位点28が接続される。

従って、本実施の形態の動作において、電源コントロール回路24は必要でなく、またコンデンサC3の為の電荷消去期間も必要ない。

第45図は、本実施の形態の動作を示すタイミングチャートである。第12図において示された実施の形態1の動作と、タイミングチャート上で異なるのは、駆動データ及びクロック信号CLK、データラッチ信号DLが非アクティブな状態では“H”，“L”の何れであっても（不定）よいという点である。

書き込み準備期間における動作について、実施の形態1との相違点を中心に説明する。第46図及び第47図は、それぞれ時刻t1、t2において第2のコモン電位が遷移する場合に流れる電流を示す回路図であり、それぞれ第13図、第14図に対応している。

時刻t1以降、実施の形態1と同様に電流I92が流れ、アドレス電極A_iが充電される。例えばデータラッチ信号DLが“H”，“L”の何れであっても、ダイオードD61のカソードは抵抗R6、第2のコモン電位点28、電源コントロール回路26のハイアーム側NMOSトランジスタN4を介して第1のHV電源に接続されているので、ダイオードD61には逆バイアスがかかる。よって第2のコモン電位が上昇しても実施の形態1で示された電流I93は流れず、第2のコモン電位の変動から構成要素32eはアイソレーションされる。

時刻t2以降、実施の形態1と同様にして、アドレス電極A_iに充電されていた電荷は、ドライブ回路22_iのローアーム側NMOSトランジスタN10、及び電源コントロール回路26のローアーム側NMOSトランジスタN5を介して、あるいはドライブ回路22_iのハイアーム側の保護ダイオードD45及び電源コントロール回路のローアーム側NMOSトランジスタN3を介して、第1のコモン電位点27へと放電される。

バッファB1に入力されたレベルが“H”であった場合、ダイオードD61は順バイアスされて順方向電流I61が流れるが、その大きさを抵抗R6によって制限して第2のコモン電位の変動から構成要素32eをアイソレーションするこ

とができる。バッファB 1に入力されたレベルが“L”であった場合には電流I 6 1は流れず、上記アイソレーションが行えることは言うまでもない。

書き込み放電のシーケンスは実施の形態1と同様である。第48図は実施の形態1の第15図に対応し、例えばデータラッチ信号DLが“L”から“H”へと遷移する場合の電流の流れを示す回路図である。

電源コントロール回路26のNMOSTランジスタN 4、N 5がそれぞれオフ、オンしている一方、バッファB 1のPMOSTランジスタP 2、NMOSTランジスタN 8がそれぞれオン、オフするので、第1の5V電源からPMOSTランジスタP 2、ダイオードD 6 1、抵抗R 6、第2のコモン電位点28、NMOSTランジスタN 5を介して電流が流れる。この抵抗R 6の電圧降下により、バッファB 2の入力端の電位は“H”となり、レベル“H”が伝達される。

この際、微小電流I 7 1が流れ、NMOSTランジスタN 1 1のゲート電極は充電される。

第49図は実施の形態1の第16図に対応し、例えばデータラッチ信号DLが“L”から“H”へと遷移する場合の電流の流れを示す回路図である。

バッファB 1のPMOSTランジスタP 2、NMOSTランジスタN 8がそれぞれオフ、オンするので、ダイオードD 6 1は逆バイアスされ、殆ど電流は流れない。よって抵抗R 6における電圧降下も生じず、バッファB 2には第2のコモン電位点28を介して第1のコモン電位（接地電位）が与えられ、レベル“L”が伝達される。

但し、第48図に示されたようにして充電されたNMOSTランジスタN 1 1のゲート電極は、抵抗R 6を介して放電される。従って、レベルの遷移速度はバッファB 2における入力容量と抵抗R 6に依存するので、抵抗R 6の値は入力する信号の周波数に応じて設定することが望ましい。

本実施の形態において、維持放電期間では出力イネーブル信号ENを“H”にして非アクティブにするが、書き込み準備期間と同様に、駆動データ、クロック信号CLK、データラッチ信号DLは不定で構わない。コンデンサC 3を放電させる必要はないからである。

H. 実施の形態7：

実施の形態1～5において、バッファB1に入力される信号のレベルが”L”から”H”に遷移してコンデンサC3が放電する場合（第15図、第22図、第31図、第39図、第48図）、バッファB1の出力端からは第1の5V電位が供給されている一方、第2のコモン電位は第1のコモン電位と等しくなるので、ダイオードD33、D43のカソードにも第1の5V電位と等しくなる第2の5V電位が印加されている。従ってコンデンサC3の端E2は端E1に対し、ダイオードD21、D33（あるいは更にD43）によって支えられている順方向電圧だけ電位が高くなっており、その分だけ僅かに充電されている。本実施の形態ではこの僅かな充電さえも回避する技術を示す。

第50図は電源コントロール回路24のハイアーム側に、即ちPMOSトランジスタP1のソースに電位を供給する電圧源の構成を示す回路図である。第2の5V電源にはダイオードD8のアノードが接続され、ダイオードD8のカソードと第2のコモン電位点28の間にはコンデンサC4が接続されている。そして、コンデンサC4とダイオードD8のカソードとの接続点からPMOSトランジスタP1のソースに電位が供給される。ダイオードD8の順方向電圧は、ダイオードD21、D33の順方向電圧の和となるように設計される。

ダイオードD8の順方向電圧だけ第2の5V電位よりも低い電位がPMOSトランジスタP1のソースに供給されるので、コンデンサC3の端E2の電位を第2の5V電位、ここでは即ち第1の5V電位まで低下させ、コンデンサC3を完全に放電させることができる。この際に流れる放電電流、例えば第15図にいう電流I102はコンデンサC4を介して第2の電位点28へと流れ出る。

本実施の形態の動作において第2のコモン電位は第1のコモン電位と等しくなるので、コンデンサC4には第1のコモン電位点27を接続し、ダイオードD8のアノードには第1の5Vを接続してもよい。

I. 実施の形態8：

第51図は、ドライブ回路22_iと、これらに対してアイソレーション回路23を介して与えられる種々の信号との関係を示す回路図である。例えばVGA仕様に対応する場合、実施の形態1で説明したように、ドライブ回路22_iは30個必要である。そして部分31にてフォトカプラPCを介して伝達される出力イ

ネーブル信号ENを除く2つの制御信号、即ちクロック信号CLK及びデータラッチ信号DLは部分32においてコンデンサC3を介して伝達される。これらの制御信号はドライブ回路22_iの各々に共通に伝達され、また4ビットの駆動データDT(1)～DT(n)が平行にドライブ回路22_iの各々にコンデンサC3を介して伝達される。結局VGA仕様に対応する場合には、必要な構成要素32a(或いは32b～32e)の数は $30 \times 4 + 2 = 122$ となる。しかし、以下のように、この数を低減することができる。

第52図は、ドライブ回路22_iがシリアル入出力シフトレジスタを内蔵する場合の回路図であり、第53図は、第52図の回路において駆動データが入力される様子を示すタイミングチャートである(但し、アイソレーション回路23における遅延を無視している)。

奇数番目のドライブ回路22_(2s-1)の4ビットデータ出力は、偶数番目のドライブ回路22_{2s}の4ビットデータ入力へと与えられる($s = 1, 2, \dots, z$; n が偶数であれば $z = n/2$ 、奇数であれば $z = (n-1)/2$ 。但し、第52図では n は偶数としている)。ドライブ回路22_iはシリアル入出力シフトレジスタを有するので、自身に与えられた4ビットデータ入力を、クロック信号CLKの立ち上がり(あるいは立ち下がり)に同期して自身のデータ出力として出力(シフトアウト)する。NEC製の μ PD16327は、かかるレジスタを内蔵している。

よって、奇数番目のドライブ回路22_(2s-1)の4ビットデータ入力には、まず偶数番目のドライブ回路22_{2s}のための4ビットの駆動データDT(2s)が、次に奇数番目のドライブ回路22_(2s-1)のための4ビットの駆動データDT(2s-1)が、順次与えられる。VGA仕様に対応する場合でも、必要な構成要素32aの数は $30 \times 4 / 2 + 2 = 62$ となる。

もちろん、ドライブ回路22_iシリアル入出力シフトレジスタによって4ビットデータを転送するドライブ回路22_iの個数は2個に限らず、一般に $L (\geq 2)$ 個にすることができる。 L が大きいほどクロック信号CLKの周波数は高くする必要がある(データラッチ信号DLの周波数の $L/2$ 倍以上)。構成要素32a(あるいは32b～32d)におけるコンデンサC3の容量は、その充放電期間

を短くしてアイソレーションの効果を高めるために小さい方が望ましい。そしてコンデンサC3の容量が小さい場合にはコンデンサC3を介して転送されるべき信号の周波数が高いほど転送時の動作は安定する。したがってLを大きくしてクロック信号CLKの周波数を高めることは、アイソレーション回路23の動作上望ましい。

しかしクロック信号CLKの周波数をそのままにして、更に構成要素32a（あるいは32b～32e）の数を低減することができる。第54図は4つのドライブ回路22₁が1組となって駆動データの転送を受ける場合の回路図であり、第55図は、第54図の回路において駆動データが入力される様子を示すタイミングチャートである（但し、アイソレーション回路23における遅延を無視している）。

クロック信号CLKの立ち上がり（もしくは立ち下がり）に同期してシリアル入出力シフトレジスタが動作するので、例えばL=2とすると、アイソレーション回路23を転送される信号の最高周波数はクロック信号CLKの周波数の1/2となる。そこで、クロック信号CLKの反転信号バーCLKを生成し、クロック信号CLKによって駆動データがシフトされるドライブ回路22₁の対（例えばドライブ回路22₁、22₂）と、反転信号バーCLKによって駆動データがシフトされるドライブ回路22₁の対（例えばドライブ回路22₃、22₄）とで4ビットの入力を時分割に共有する。

まずドライブ回路22₂のための4ビットの駆動データDT(2)が第1のデータ入力としてアイソレーション回路23を転送される。そしてこの駆動データは時刻 τ_1 におけるクロックCLKの立ち上がりに同期して、ドライブ回路22₁からドライブ回路22₂へとシフトされる。次に第1のデータ入力としてアイソレーション回路23を転送されるのは、ドライブ回路22₂のための4ビットの駆動データDT(4)であり、これは時刻 τ_2 における反転信号バーCLKの立ち上がりに同期して、ドライブ回路22₃からドライブ回路22₄へとシフトされる。更に第1のデータ入力として、ドライブ回路22₁のための4ビットの駆動データDT(1)がアイソレーション回路23を転送された時刻 τ_3 の後、時刻 τ_4 においてクロック信号CLKが立ち上がる前に、第1のデータラッチ信

号DL1が“H”となって、4ビットの駆動データDT(1), DT(2)はそれぞれドライブ回路22₁, 22₂にラッチされる。更に時刻τ₅にドライブ回路22₃のための4ビットの駆動データDT(3)がアイソレーション回路23を転送された後、時刻τ₆において反転信号バーCLKが立ち上がる前に、第2のデータラッチ信号DL2が“H”となって、4ビットの駆動データDT(3), DT(4)はそれぞれドライブ回路22₃, 22₄にラッチされる。

第2のデータ入力についても同様に、ドライブ回路22₅のための4ビットの駆動データDT(6)、ドライブ回路22₆のための4ビットの駆動データDT(8)、ドライブ回路22₇のための4ビットの駆動データDT(5)、ドライブ回路22₇のための4ビットの駆動データDT(7)が、この順に転送される。

VGA仕様ではドライブ回路22₁の個数は30個であり、ドライブ回路22₁~22₂₈について必要な4ビット入力が28/4=7個必要であり、ドライブ回路22₂₉, 22₃₀については4ビット入力が1つ必要であるので、8×4=32(個)だけ駆動データ用に構成要素32a(或いは32b~32e)が必要となる。更に制御信号としてクロック信号CLK、第1及び第2のデータラッチ信号DL1, DL2についても構成要素32aが必要なので(反転信号バーCLKはアイソレーション回路23を転送されてきたクロック信号CLKの反転を採れば良い)、結局35個の構成要素32aで足りることになる。

この発明は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この発明の範囲から外れることなく想定され得るものと解される。

請求の範囲

1. 複数の走査電極 (Y_k) と、前記複数の走査電極 (Y_k) に直交する複数のアドレス電極 (A_j) と、前記複数の走査電極 (Y_k) と前記複数のアドレス電極 (A_j) との交点にそれぞれに構成された表示セル (C_{jk}) とを含む面放電型プラズマディスプレイパネル (CG) に対してアドレス電極を駆動する装置であって、

前記複数のアドレス電極 (A_j) の各々に対応して設けられて接続される出力端と、前記出力端に対していずれか一方が選択的に接続される第1入力端 (W_HV) 及び第2入力端 (28) とからなる出力段を第1の数だけ含む複数のドライブレ回路 ($AD2, 221$) と、

前記第2入力端 (28) に対して、基準電位 (GND) 及び前記基準電位よりも高い第1の電位 (V_{a2}, HV) のいずれか一方を供給する第1の電源コントロール回路 ($DR0, 26$) と、

前記第1入力端 (W_HV) に対して、前記第1の電位 (V_{a2}, HV) よりも低く前記基準電位 (GND) よりも高い第2の電位 ($V_a, 70V$) を供給するか、前記第2入力端 (28) と接続するか、のいずれか一方を施す第2の電源コントロール回路 ($DR1, 25$) と

を備える面放電型プラズマディスプレイパネルのアドレス電極駆動装置。

2. 前記ドライブレ回路の出力端が前記第1入力端 (W_HV) 及び第2入力端 (28) とのいずれと接続されるかを設定する駆動データを出力する制御回路 (21) と、

前記複数のアドレス電極 (A_j) の各々に対応して設けられ、対応する前記複数のアドレス電極 (A_j) に対する前記駆動データを伝送する、複数の伝送回路 (32a~32d)

を更に備え、

前記複数の伝送回路 (32a~32d) の各々は

前記駆動データを入力する入力端と、前記駆動データを伝達する出力端とを含み、前記基準電位 (GND) を供給する第1の基準電位点 (27) 及び前記基準電位 (GND) よりも高く前記第2の電位 ($V_a, 70V$) よりも低い第1の電

源電位を供給する第1の電位点(○5V)に接続され、これらから動作電力が供給される第1のバッファ(B1)と、

前記第1のバッファ(B1)の前記出力端に接続された一端(E1)と、他端(E2)とを含むコンデンサ(C3)と、

前記コンデンサ(C3)の前記他端(E2)に接続された入力端と、対応する前記複数のドライブ回路(AD2, 221)の一つに接続された出力端とを含み、前記第2入力端(28)及び第2の電位点(●5V, W_5V)に接続され、これらから動作電力が供給される第2のバッファ(B2)とを含む、請求の範囲1記載のアドレス電極駆動装置。

3. 前記複数のドライブ回路(AD2, 221)の各々は

対応する前記複数のアドレス電極(A_j)の一つに接続されたカソードと、前記第2入力端(28)に接続されたアノードとを有する保護ダイオード(D46)と

を更に含む、請求の範囲2記載のアドレス電極駆動装置。

4. 第2の電源電位が供給される第4の電位点(●5V)及び前記第2入力端(28)のいずれか一方と接続される第3の電位点(W_5V)

を更に備え、

前記複数の伝送回路(32a~32d)の各々は

前記第1の基準電位点(27)に接続されたアノードと、前記コンデンサ(C3)の前記一端(E1)に接続されたカソードとを有する第1のダイオード(D32)と、

前記コンデンサ(C3)の前記他端(E2)に接続されたアノードと、前記第3の電位点(W_5V)に接続されたカソードとを有する第2のダイオード(D33)と

を更に含む、

前記第2のバッファ(B2)は

前記コンデンサ(C3)の前記他端(E2)に接続されたカソードと、前記第2入力端(28)に接続されたアノードとを有する保護ダイオード(D44)を更に含む、請求の範囲3記載のアドレス電極駆動装置。

5. 前記第2の電位点は前記第3の電位点(W__5V)である、請求の範囲4記載のアドレス電極駆動装置。

6. 前記第2の電位点は前記第4の電位点(●5V)である、請求の範囲4記載のアドレス電極駆動装置。

7. 前記複数の伝送回路(32c, 32d)の各々は

前記コンデンサ(C3)の前記一端(E1)に接続されたアノードと、前記第1の電位点(○5V)に接続されたカソードとを有する第3のダイオード(D35)

を更に含む、請求の範囲4記載のアドレス電極駆動装置。

8. 前記第2の電位点は前記第3の電位点(W__5V)である、請求の範囲7記載のアドレス電極駆動装置。

9. 前記第2の電位点は前記第4の電位点(●5V)である、請求の範囲7記載のアドレス電極駆動装置。

10. 前記第1のバッファ(B1)は

前記コンデンサ(C3)の前記一端(E1)に接続されたアノードと、前記第1の電位点(○5V)に接続されたカソードとを有する保護ダイオード(D41)を更に含む、請求の範囲4記載のアドレス電極駆動装置。

11. 前記第4の電位点(●5V)に接続されたアノードと、カソードとを有するダイオード(D8)と、

前記ダイオード(D8)の前記カソードと、前記第4の電位点に印加される第2の電源電位の基準となる第2の基準電位点(27, 28)との間に接続されたコンデンサ(C4)と

を更に備え、

前記第3の電位点が前記第4の電位点(●5V)に接続される場合には、前記ダイオード(D8)を介して接続される、請求の範囲4記載のアドレス電極駆動装置。

12. 前記ドライブ回路の出力端が前記第1入力端(W__HV)及び第2入力端(28)とのいずれと接続されるかを設定する駆動データを出力する制御回路(21)と、

前記複数のアドレス電極 (A_i) の各々に対応して設けられ、対応する前記複数のアドレス電極 (A_i) に対する前記駆動データを伝送する、複数の伝送回路 (32e)

を更に備え、

前記複数の伝送回路 (32e) の各々は

前記駆動データを入力する入力端と、前記駆動データを伝達する出力端とを含み、前記基準電位 (GND) を供給する第1の基準電位点 (27) 及び前記基準電位 (GND) よりも高く前記第2の電位 (V_a, 70V) よりも低い第1の電源電位を供給する第1の電位点 (05V) に接続され、これらから動作電力が供給される第1のバッファ (B1) と、

前記第1のバッファ (B1) の前記出力端に接続されたアノードと、カソードとを含むダイオード (D61) と、

前記ダイオード (D61) の前記カソードに接続された入力端と、対応する前記複数のドライブ回路 (AD2, 22i) の一つに接続された出力端とを含み、前記第2入力端 (28) 及び第2の電位点 (●5V) に接続され、これらから動作電力が供給される第2のバッファ (B2) と

を含む、請求の範囲2記載のアドレス電極駆動装置。

13. 前記複数の伝送回路 (32e) の各々は

前記ダイオード (D61) の前記カソードと前記第2入力端 (28) との間に設けられた抵抗 (R6)

を更に含む、請求の範囲12記載のアドレス電極駆動装置。

14. 前記複数のドライブ回路 (22i) は第2の数の前記駆動データを入力する前記第2の数のデータ入力端と、前記データ入力端に与えられたデータをシフトアウトする前記第2の数のデータ出力端とを更に含み、

前記複数のドライブ回路 (22i) は第3の数ずつ組を成して、前記データ入力端と前記データ出力端に関して直列に接続される、請求の範囲2記載のアドレス電極駆動装置。

15. 前記複数のドライブ回路 (22i) の前記組は、前記データ入力端から前記データ出力端へと前記駆動データをシフトアウトするタイミング、及び前記デ

ータ入力端に与えられた前記駆動データをラッチするタイミングが、互いに異なる2種に区分される、請求の範囲14記載のアドレス電極駆動装置。

16. 前記面放電型プラズマディスプレイパネル(CG)は、前記複数のアドレス電極(A_j)に直交する他の複数の走査電極(X)を更に含み、

前記他の複数の走査電極(X)に対して、互いに逆並列に接続された一対のダイオード(D91, D92)を介して所定の電位(V_a)が印加される、請求の範囲1記載のアドレス電極駆動装置。

17. 複数の走査電極(Y_k)と、前記複数の走査電極(Y_k)に直交する複数のアドレス電極(A_j)と、前記複数の走査電極(Y_k)と前記複数のアドレス電極(A_j)との交点にそれぞれに構成された表示セル(C_{j,k})とを含む面放電型プラズマディスプレイパネル(CG)と、

前記複数のアドレス電極(A_j)の各々に対応して設けられて接続される出力端と、前記出力端に対していずれか一方が選択的に接続される第1入力端(W__HV)及び第2入力端(28)とからなる出力段を第1の数だけ含む複数のドライブ回路(AD2, 22_i)と、

前記複数のアドレス電極(A_j)の各々に対応して設けられ、その各々が、対応する前記複数のアドレス電極(A_j)の一つと接続される出力端と、前記出力端に対していずれか一方が選択的に接続される第1入力端(W__HV)及び第2入力端(28)とを含む複数のドライブ回路(AD2, 22_i)と、

前記ドライブ回路の出力端が前記第1入力端(W__HV)及び第2入力端(28)とのいずれと接続されるかを設定する駆動データを出力する制御回路(21)と、

前記第2入力端(28)に対して、基準電位(GND)及び前記基準電位よりも高い第1の電位(V_{a2}, HV)のいずれか一方を供給する第1の電源コントロール回路(DR0, 26)と、

前記第1入力端(W__HV)に対して、前記第1の電位(V_{a2}, HV)よりも低く前記基準電位(GND)よりも高い第2の電位(V_a, 70V)を供給するか、前記第2入力端(28)と接続するか、のいずれか一方を施す第2の電源コントロール回路(DR1, 25)と、

前記複数のアドレス電極（A_j）の各々に対応して設けられ、対応する前記複数のアドレス電極（A_j）に対する前記駆動データを入力する入力端と、前記駆動データを伝達する出力端と、前記基準電位（GND）を供給する第1の基準電位点（27）及び前記基準電位（GND）よりも高く前記第2の電位（V_a, 70V）よりも低い第1の電源電位を供給する第1の電位点（○5V）との間で直列に接続されたプッシュプル構成の出力段（P2, N8）とを有する第1のバッファ（B1）と、

前記第1のバッファ（B1）の前記出力端に接続された一端（E1）と、他端（E2）とを含むコンデンサ（C3）と、

前記コンデンサ（C3）の前記他端（E2）に接続された入力端と、対応する前記複数のドライブ回路（AD2, 22_i）の一つに接続された出力端と、前記第2入力端（28）及び第2の電位点（W__5V）との間で直列に接続されたプッシュプル構成の入力段（P3, N11）とを有する第2のバッファ（B2）と、

前記第1の基準電位点（27）に接続されたアノードと、前記コンデンサ（C3）の前記一端（E1）に接続されたカソードとを有する第1のダイオード（D32, D42）と、

前記第2の電位点（W__5V）に接続されたカソードと、前記コンデンサ（C3）の前記他端（E2）に接続されたアノードとを有する第2のダイオード（D33, D43）と

を備えたプラズマディスプレイシステムに対し、

（a）書き込み準備期間において、

（a-1）前記第2の電位点（W__5V）を前記第2入力端（28）に接続する行程と、

（a-2）前記第2の電源コントロール回路（25）によって前記第1入力端（W__HV）を前記第2入力端（28）に接続する行程と、

（a-3）前記第1の電源コントロール回路（26）によって前記第2入力端（28）に前記第1の電位（HV）を供給し、その後に前記基準電位（GND）を供給する行程と

を備え、

(b) 書き込み放電期間において、

(b-1) 前記第1の電源コントロール回路(26)によって前記第2入力端(28)を前記第1の基準電位点(27)に接続する行程と、

(b-2) 前記第2の電位点(W_5V)に前記第1の電源電位を供給する行程と、

(b-3) 前記第2の電源コントロール回路(25)によって前記第1入力端(W_HV)に対して前記第2の電位(70V)を供給する行程と、

(b-4) 前記駆動データに基づいて前記複数のドライブ回路(22)の出力端を前記第1入力端(W_HV)及び第2入力端(28)とのいずれかに接続する行程と

を備え、

(c) 前記書き込み放電期間の後、維持放電期間の前に

(c-1) 前記第1の電源コントロール回路(26)によって前記第2入力端(28)を前記第1の基準電位点(27)に接続する行程と、

(c-2) 前記第2の電位点(W_5V)を前記第2入力端(28)に接続する行程と、

(c-3) 前記第2の電源コントロール回路(25)によって前記第1入力端(W_HV)を前記第2入力端(28)に接続する行程と、

(c-4) 前記駆動データを強制的に基準電位(GND)に設定する行程とを備える面放電型プラズマディスプレイパネルのアドレス電極駆動方法。

18. 前記書き込み準備期間において

(a-4) 前記行程(a-3)に先だって前記駆動データを強制的に“H”に設定する行程

を更に備える、請求の範囲17記載のアドレス電極駆動方法。

19. 前記書き込み準備期間の後、前記書き込み放電期間の前において

(d) 前記駆動データを強制的に“L”に設定する行程

を更に備える、請求の範囲18記載のアドレス電極駆動方法。

20. 複数の走査電極(Y_k)と、前記複数の走査電極(Y_k)に直交する複数のアドレス電極(A_j)と、前記複数の走査電極(Y_k)と前記複数のアドレス

電極 (A_j) との交点にそれぞれに構成された表示セル (C_{j,k}) とを含む面放電型プラズマディスプレイパネル (CG) と、

前記複数のアドレス電極 (A_j) の各々に対応して設けられ、その各々が、対応する前記複数のアドレス電極 (A_j) の一つと接続される出力端と、前記出力端に対していずれか一方が選択的に接続される第1入力端 (W_HV) 及び第2入力端 (28) とを含む複数のドライブ回路 (AD2, 22_i) と、

前記ドライブ回路の出力端が前記第1入力端 (W_HV) 及び第2入力端 (28) とのいずれと接続されるかを設定する駆動データを出力する制御回路 (21) と、

前記第2入力端 (28) に対して、基準電位 (GND) 及び前記基準電位よりも高い第1の電位 (V_{a2}, HV) のいずれか一方を供給する第1の電源コントロール回路 (DR0, 26) と、

前記第1入力端 (W_HV) に対して、前記第1の電位 (V_{a2}, HV) よりも低く前記基準電位 (GND) よりも高い第2の電位 (V_a, 70V) を供給するか、前記第2入力端 (28) と接続するか、のいずれか一方を施す第2の電源コントロール回路 (DR1, 25) と、

前記複数のアドレス電極 (A_j) の各々に対応して設けられ、対応する前記複数のアドレス電極 (A_j) に対する前記駆動データをを入力する入力端と、前記駆動データを伝達する出力端と、前記基準電位 (GND) を供給する第1の基準電位点 (27) 及び前記基準電位 (GND) よりも高く前記第2の電位 (V_a, 70V) よりも低い第1の電源電位を供給する第1の電位点 (○5V) との間で直列に接続されたプッシュプル構成の出力段 (P2, N8) とを有する第1のバッファ (B1) と、

前記第1のバッファ (B1) の前記出力端に接続されたアノードと、カソードとを含むダイオード (D61) と、

前記ダイオード (D61) の前記カソードに接続された入力端と、対応する前記複数のドライブ回路 (AD2, 22_i) の一つに接続された出力端と、前記第2入力端 (28) 及び第2の電位点 (●5V) との間で直列に接続されたプッシュプル構成の入力段 (P3, N11) とを有する第2のバッファ (B2) と、

前記第2入力端(28)と前記第2のバッファ(B2)の前記入力端に接続された抵抗(R6)と、

を備えたプラズマディスプレイシステムに対し、

(a) 書き込み準備期間において、

(a-1) 前記第2の電源コントロール回路(25)によって前記第1入力端(W_HV)を前記第2入力端(28)に接続する行程と、

(a-2) 前記第1の電源コントロール回路(26)によって前記第2入力端(28)に前記第1の電位(HV)を供給し、その後に前記基準電位(GND)を供給する行程と

を備え、

(b) 書き込み放電期間において、

(b-1) 前記第1の電源コントロール回路(26)によって前記第2入力端(28)を前記第1の基準電位点(27)に接続する行程と、

(b-2) 前記第2の電源コントロール回路(25)によって前記第1入力端(W_HV)に対して前記第2の電位(70V)を供給する行程と、

(b-3) 前記駆動データに基づいて前記複数のドライブ回路(22)の出力端を前記第1入力端(W_HV)及び第2入力端(28)とのいずれかに接続する行程と

を備え、

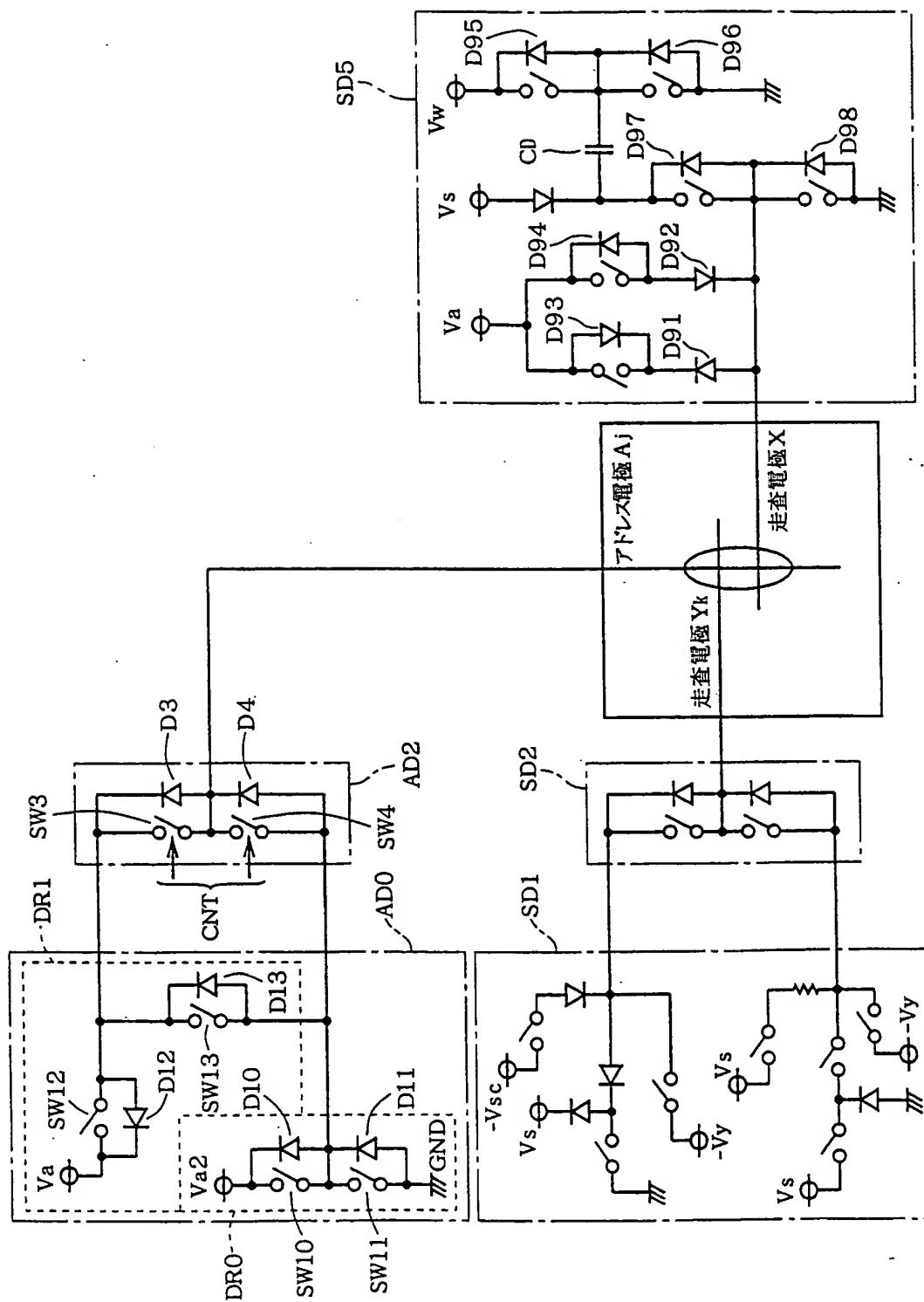
(c) 前記書き込み放電期間の後、維持放電期間の前に

(c-1) 前記第1の電源コントロール回路(26)によって前記第2入力端(28)を前記第1の基準電位点(27)に接続する行程と、

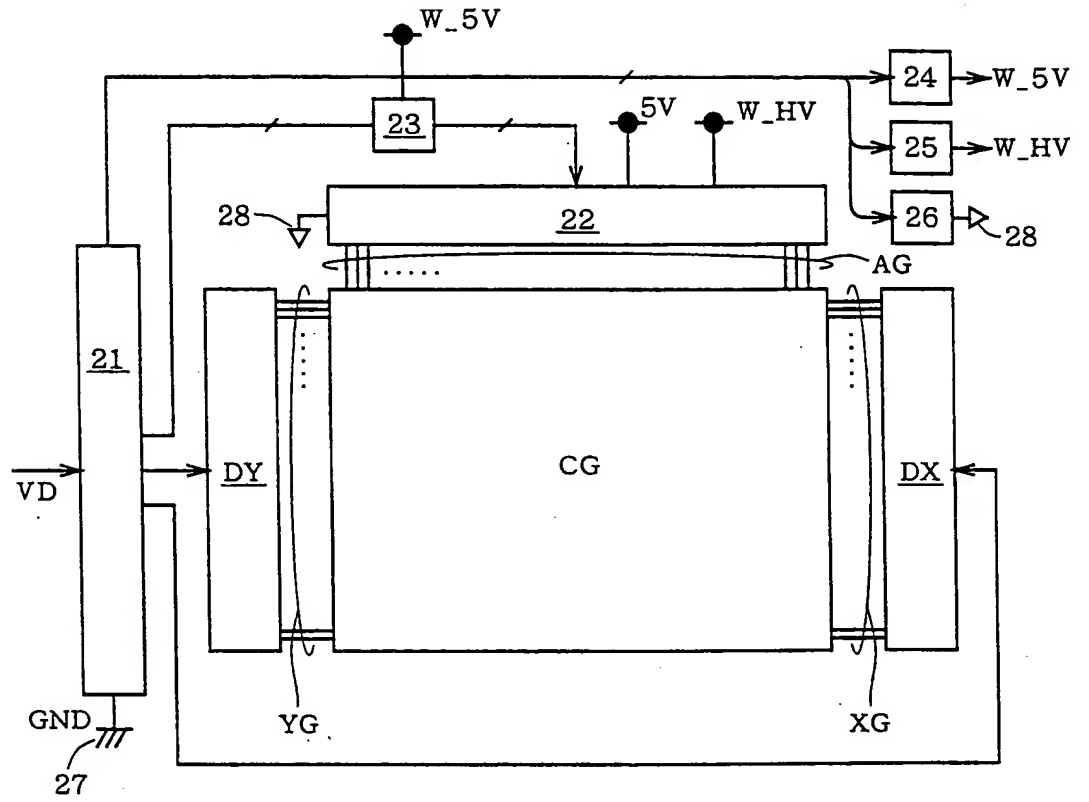
(c-2) 前記第2の電源コントロール回路(25)によって前記第1入力端(W_HV)を前記第2入力端(28)に接続する行程と、

を備えるアドレス電極駆動方法。

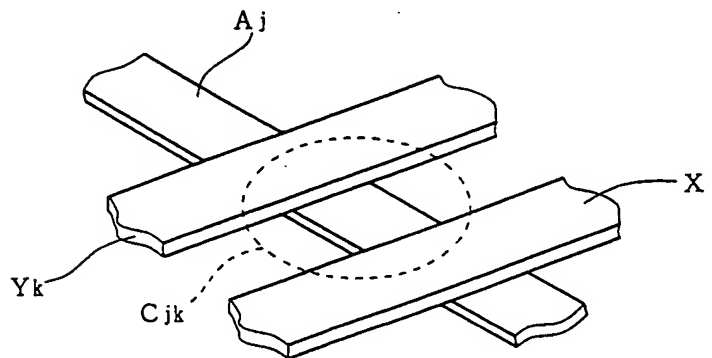
第 1 図



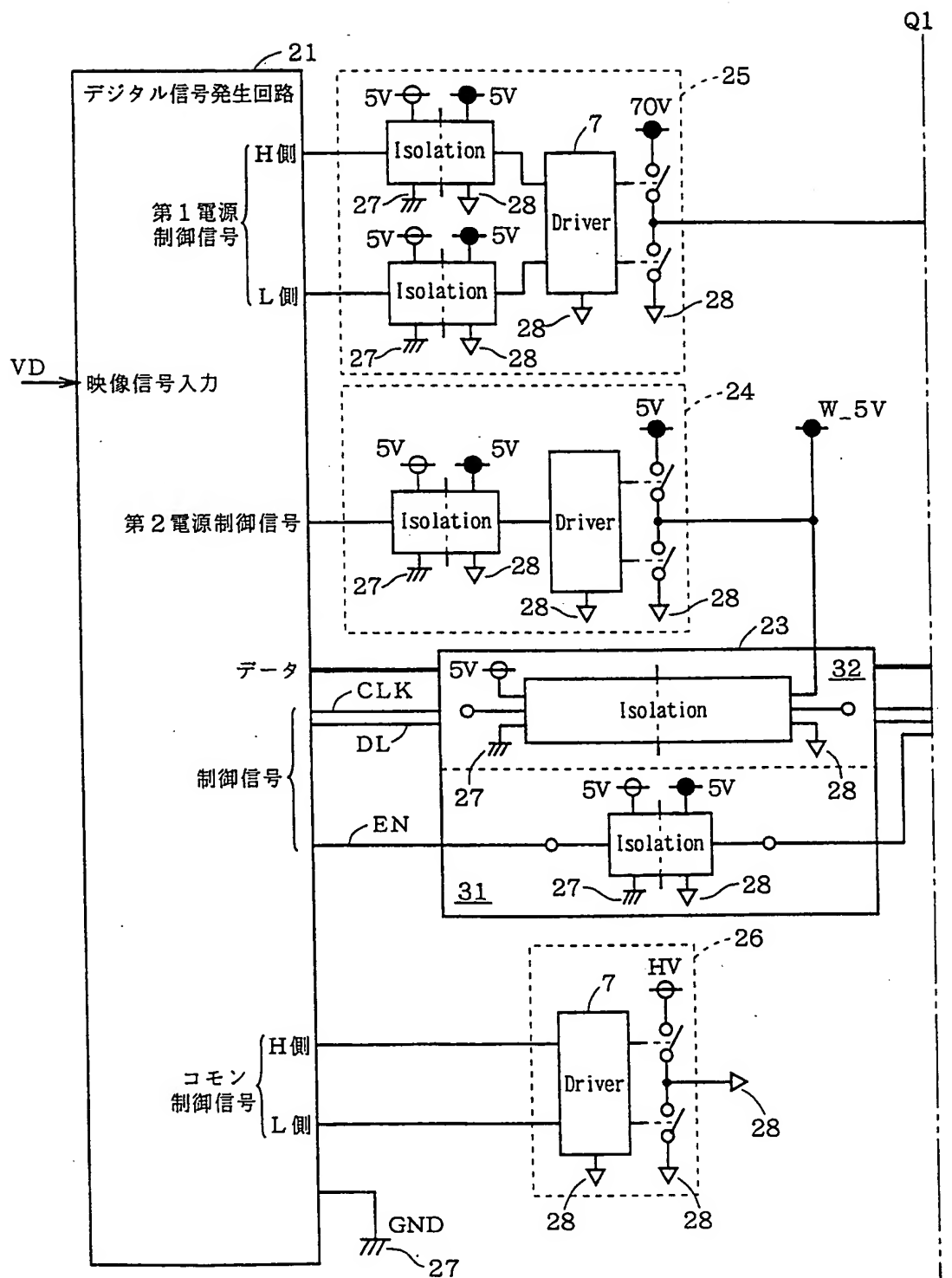
第 2 図



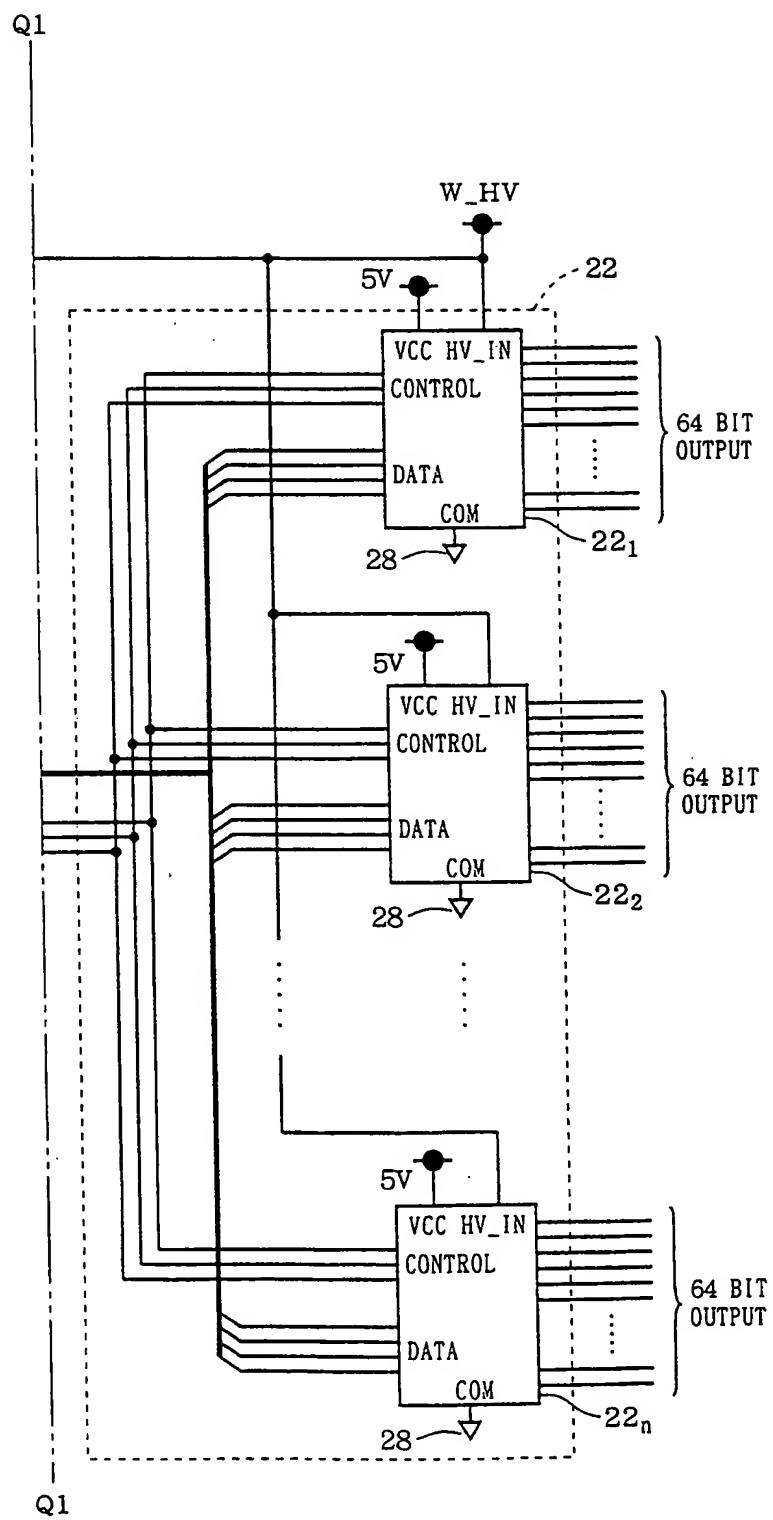
第 3 図



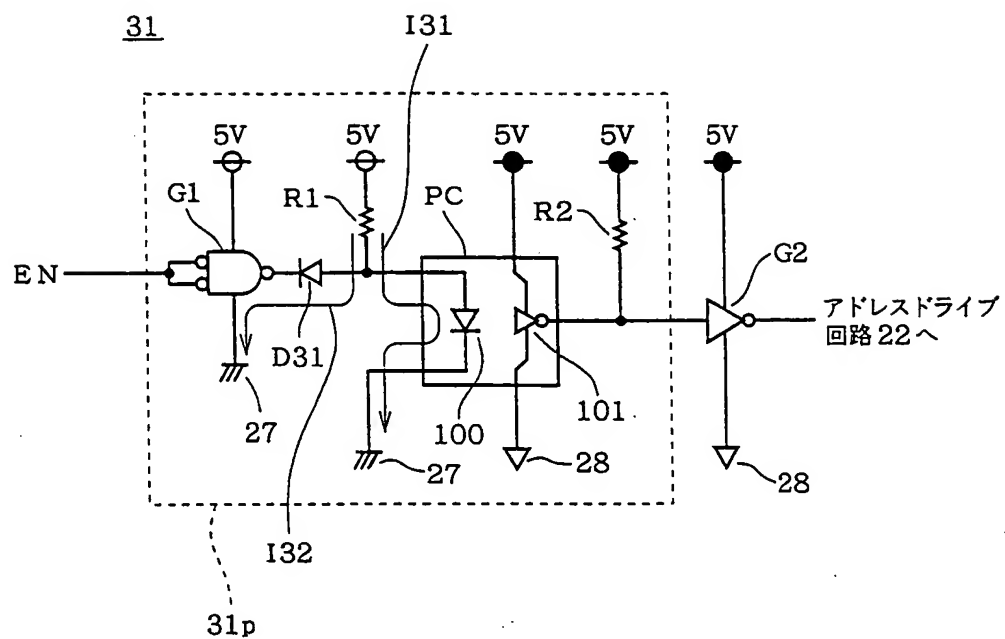
第 4 図



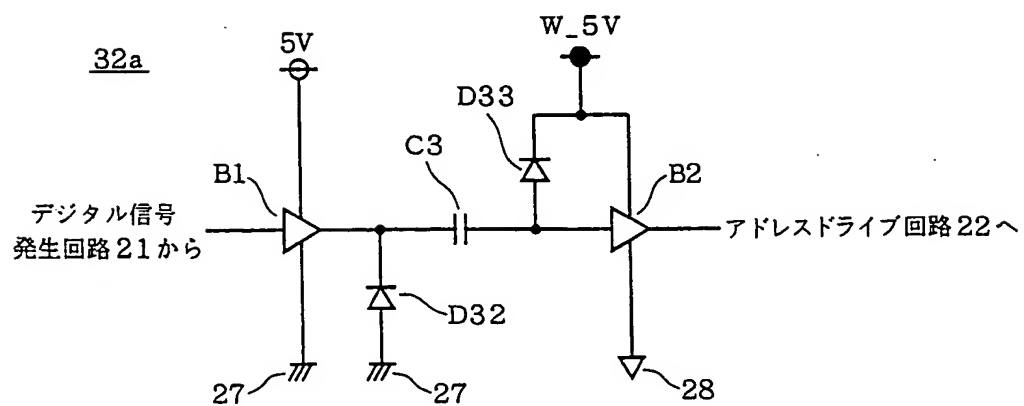
第 5 図



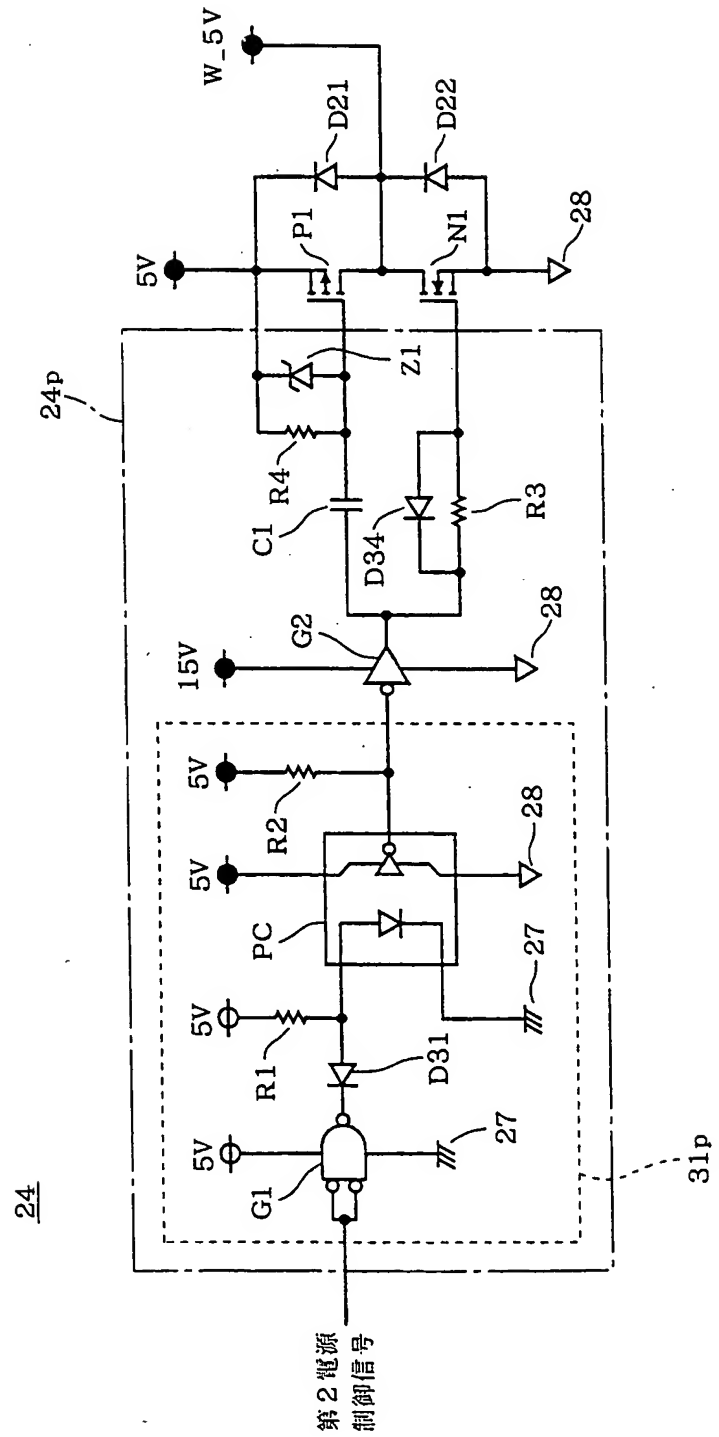
第 6 図



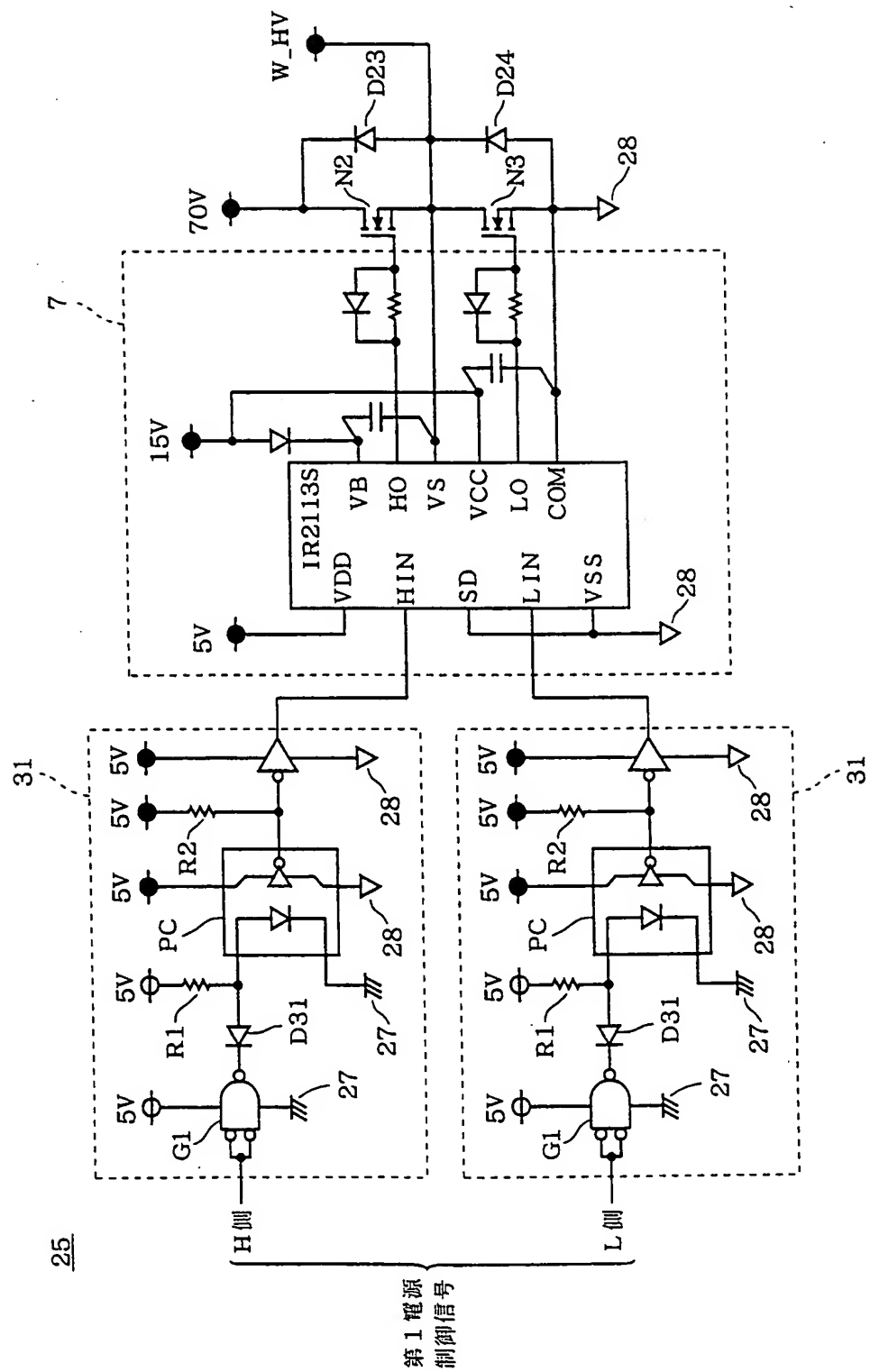
第 7 図



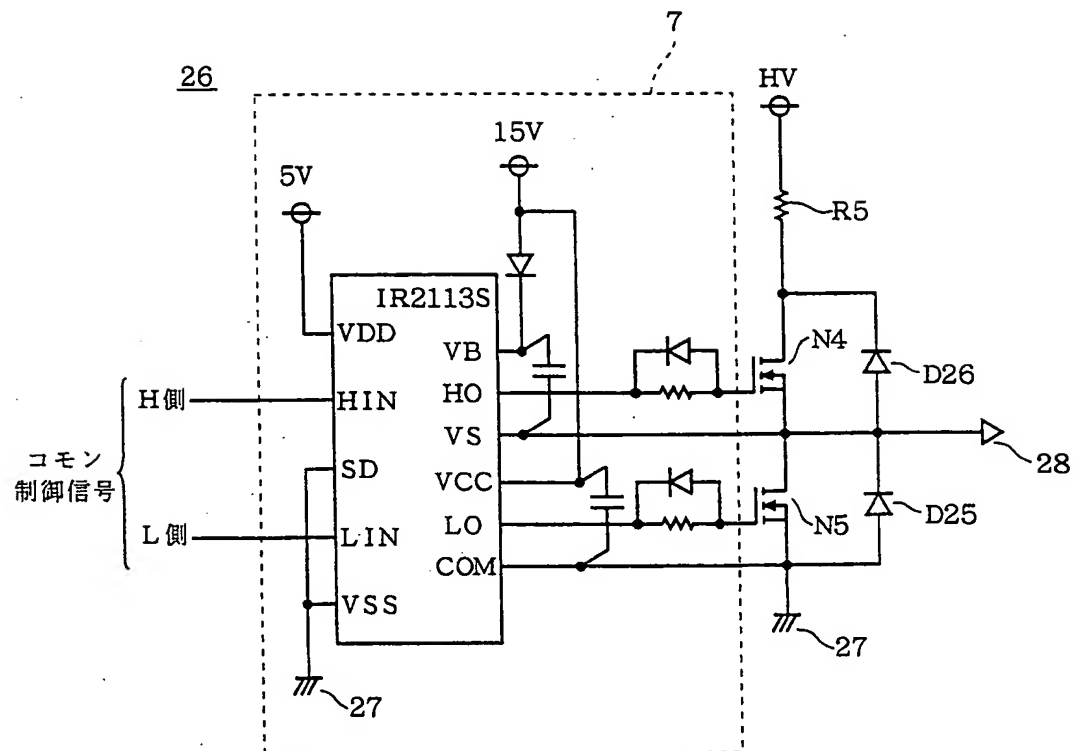
第 8 図



第 9 図

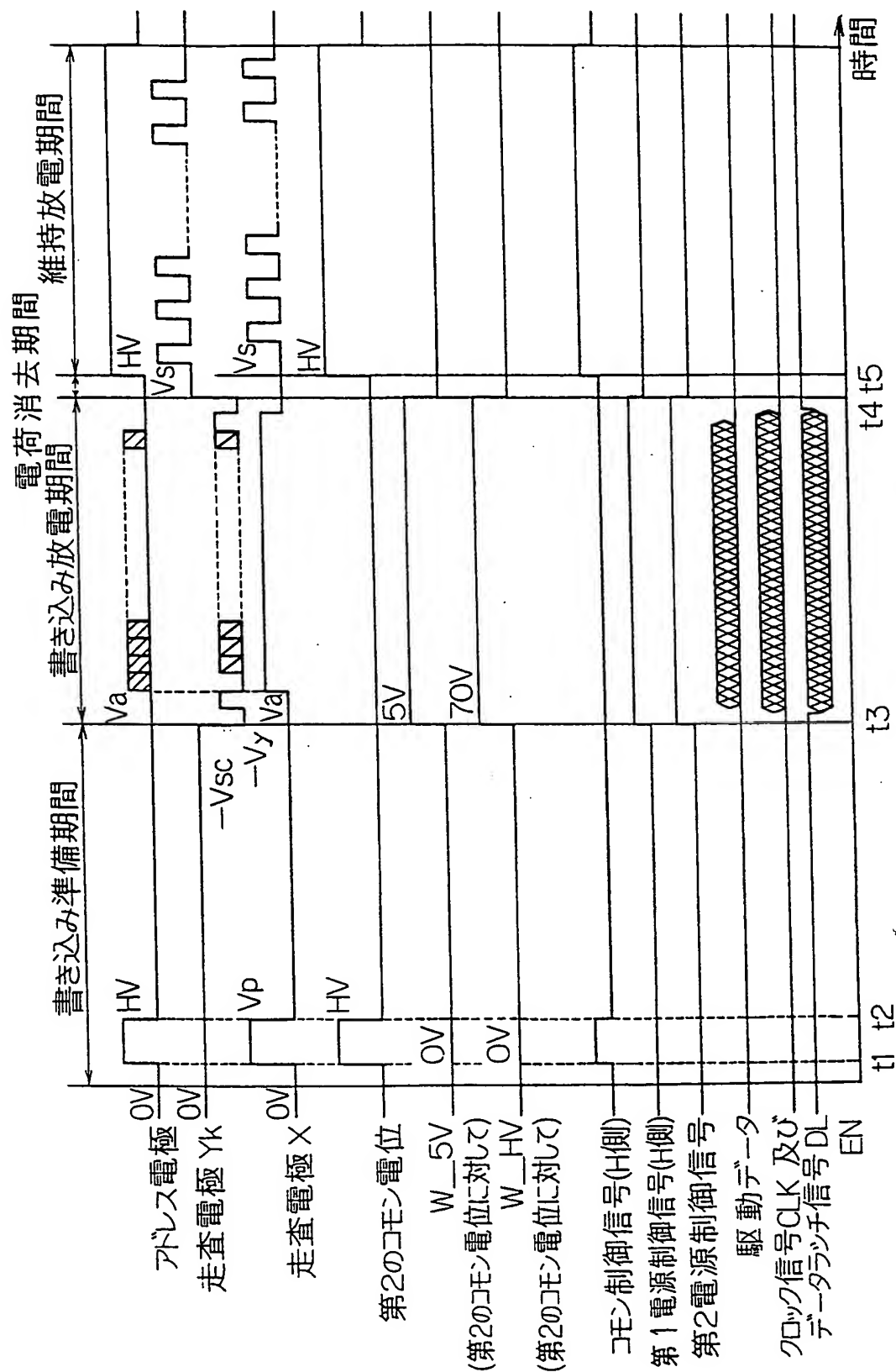


第 10 図



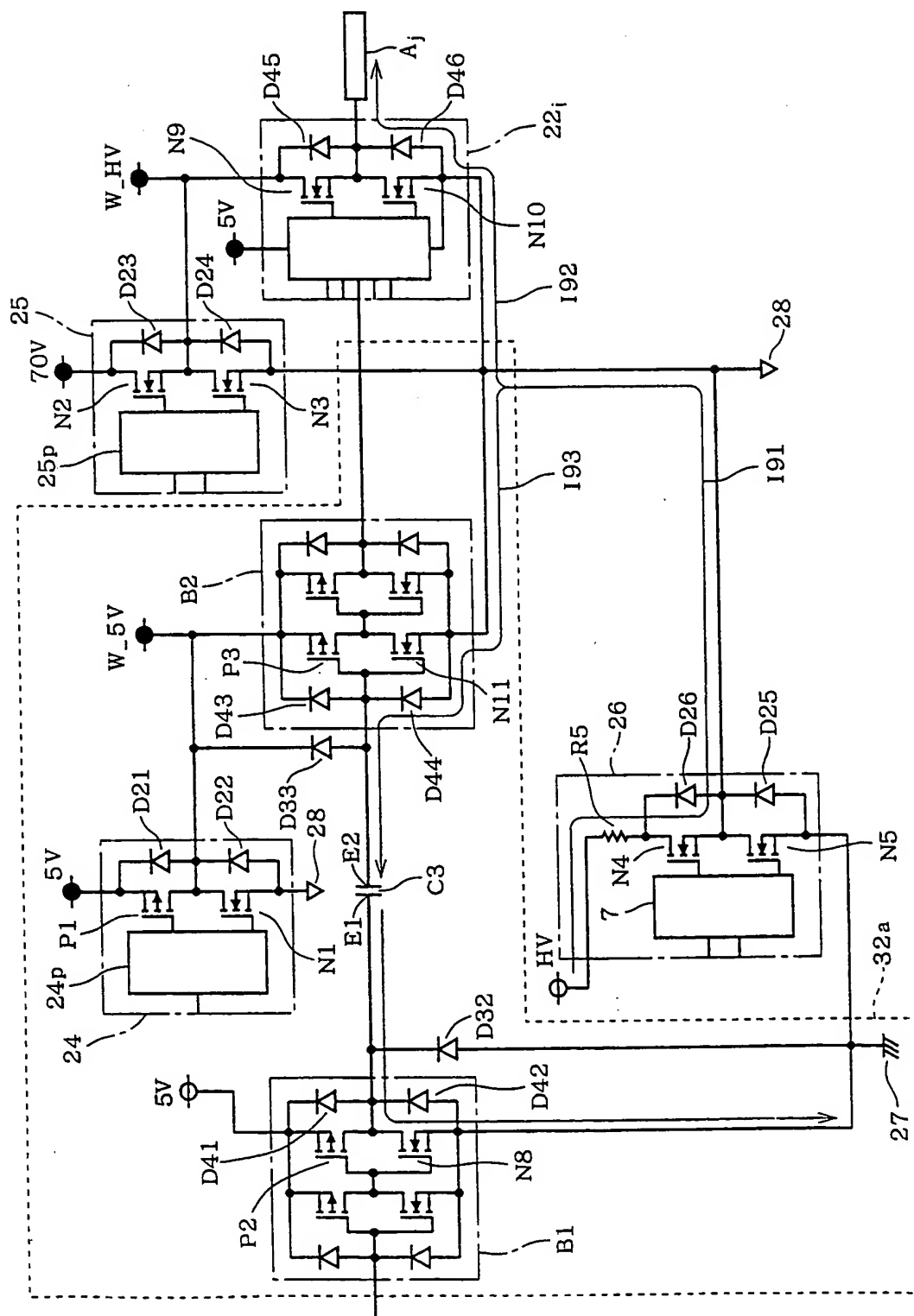
10/56

第 12 図



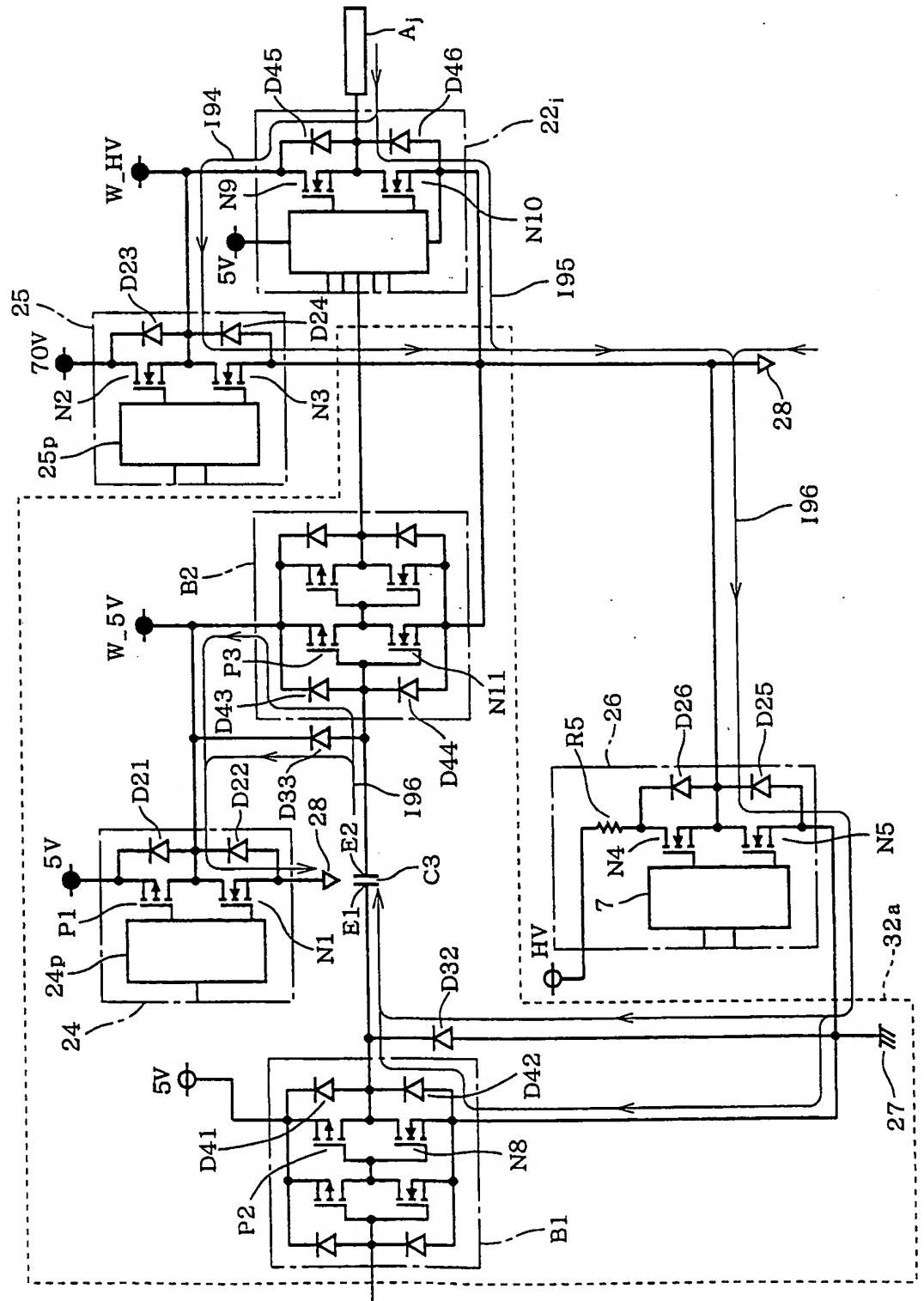
11/56

第 13 図



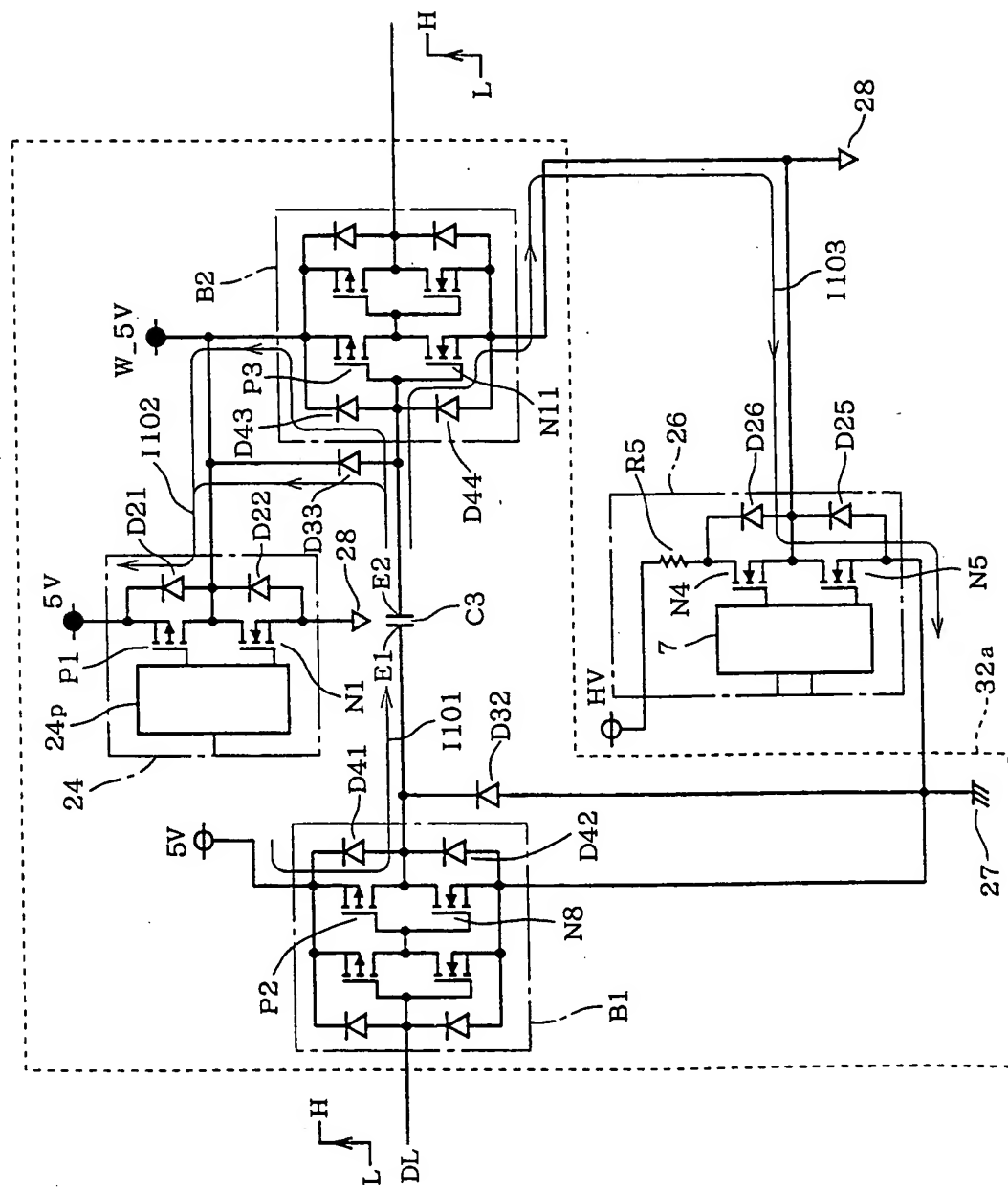
12/56

第 1 4 図

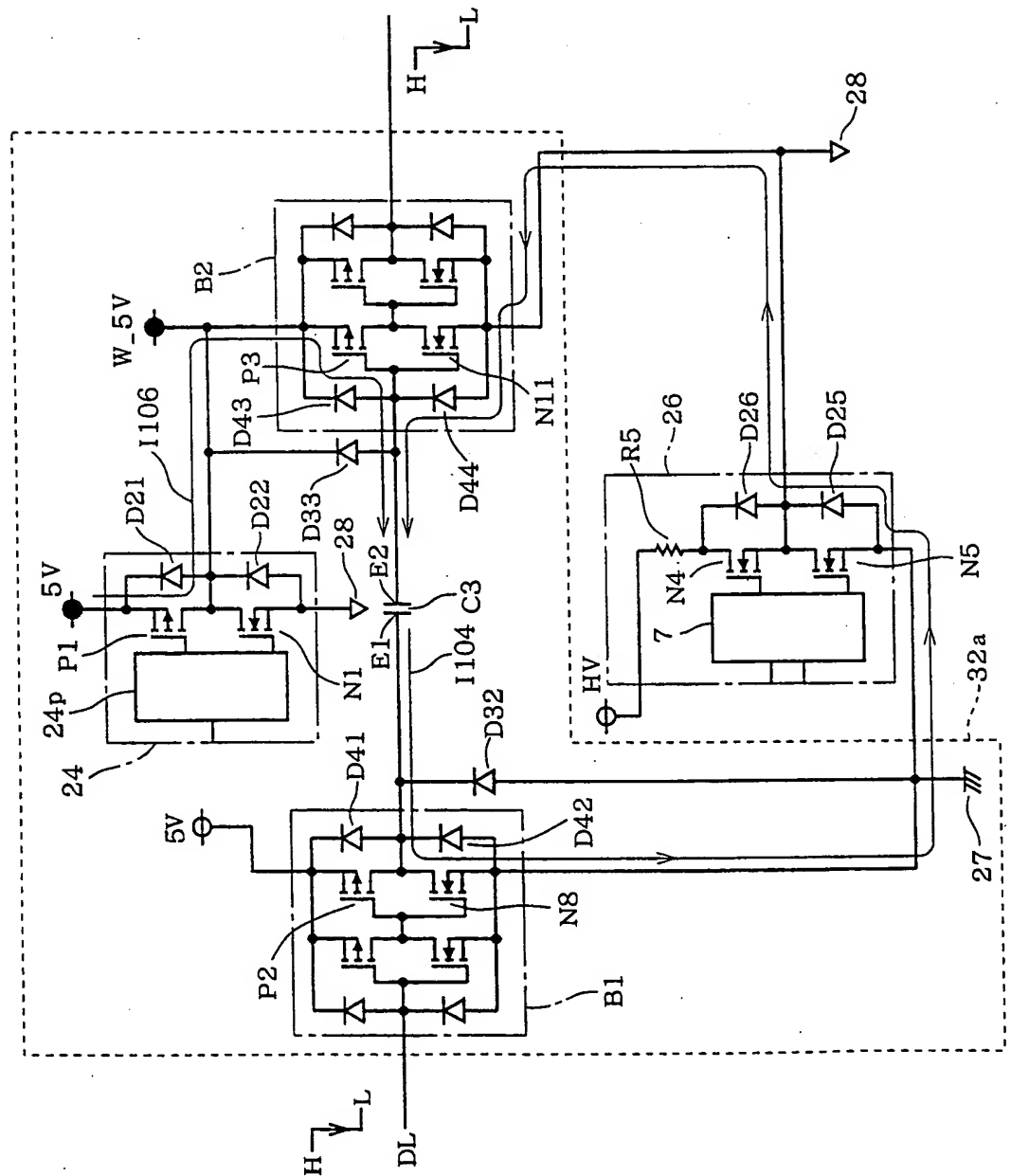


13/56

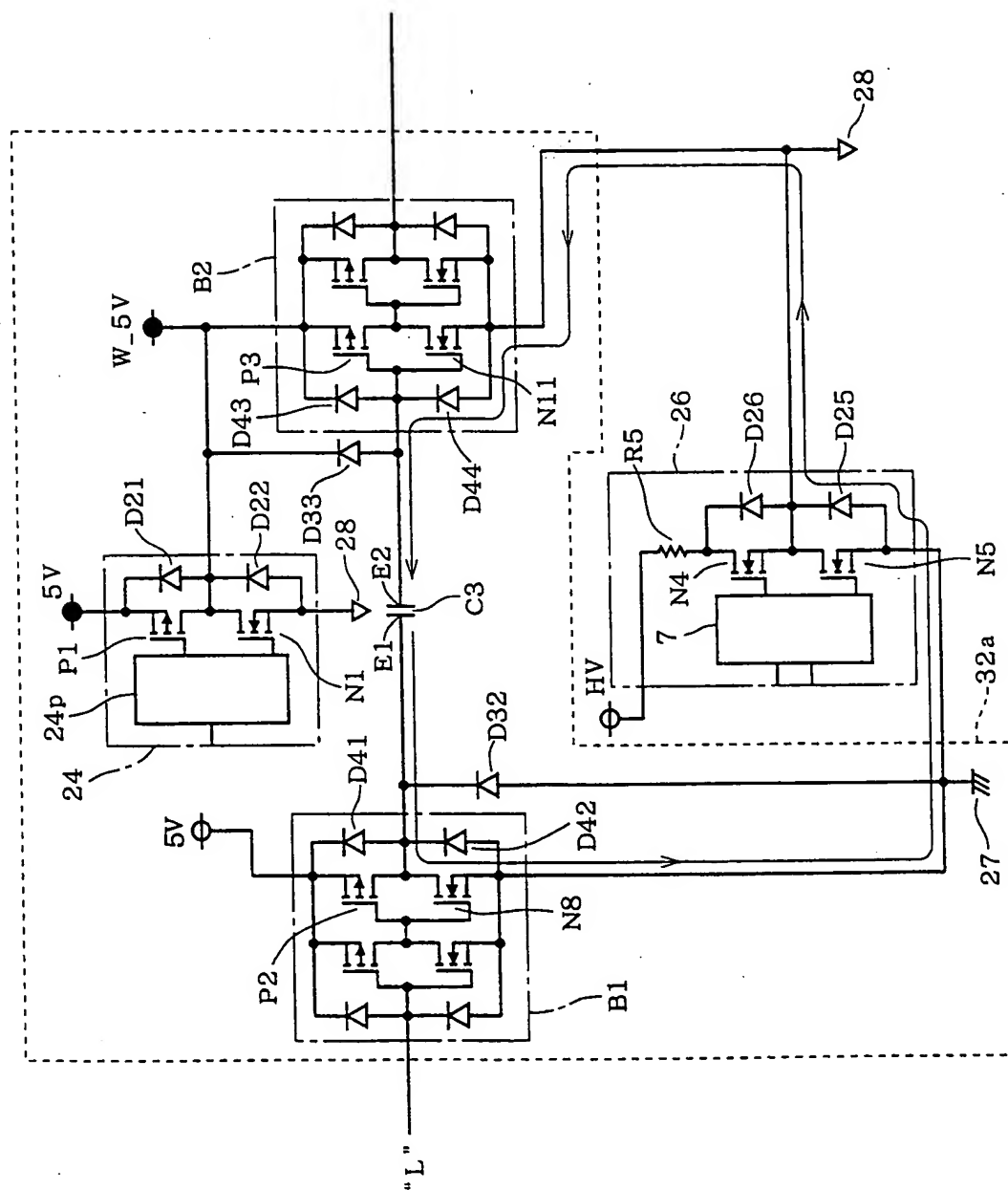
第 15 図



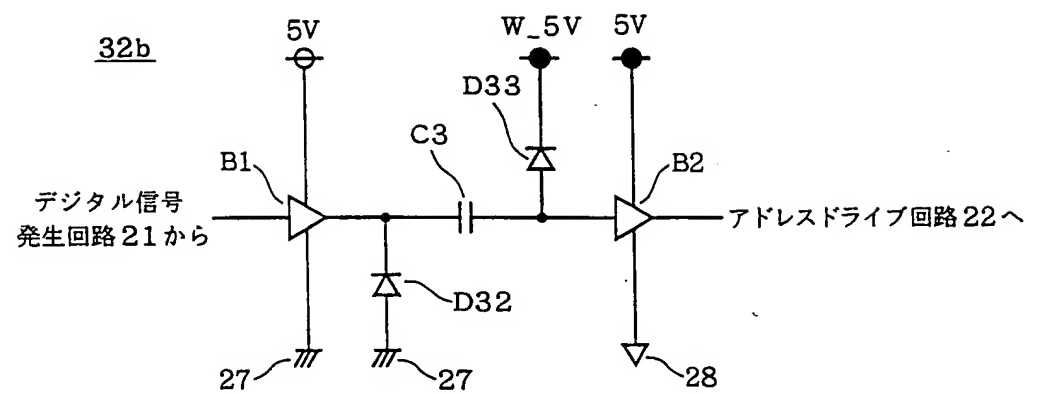
第 16 図



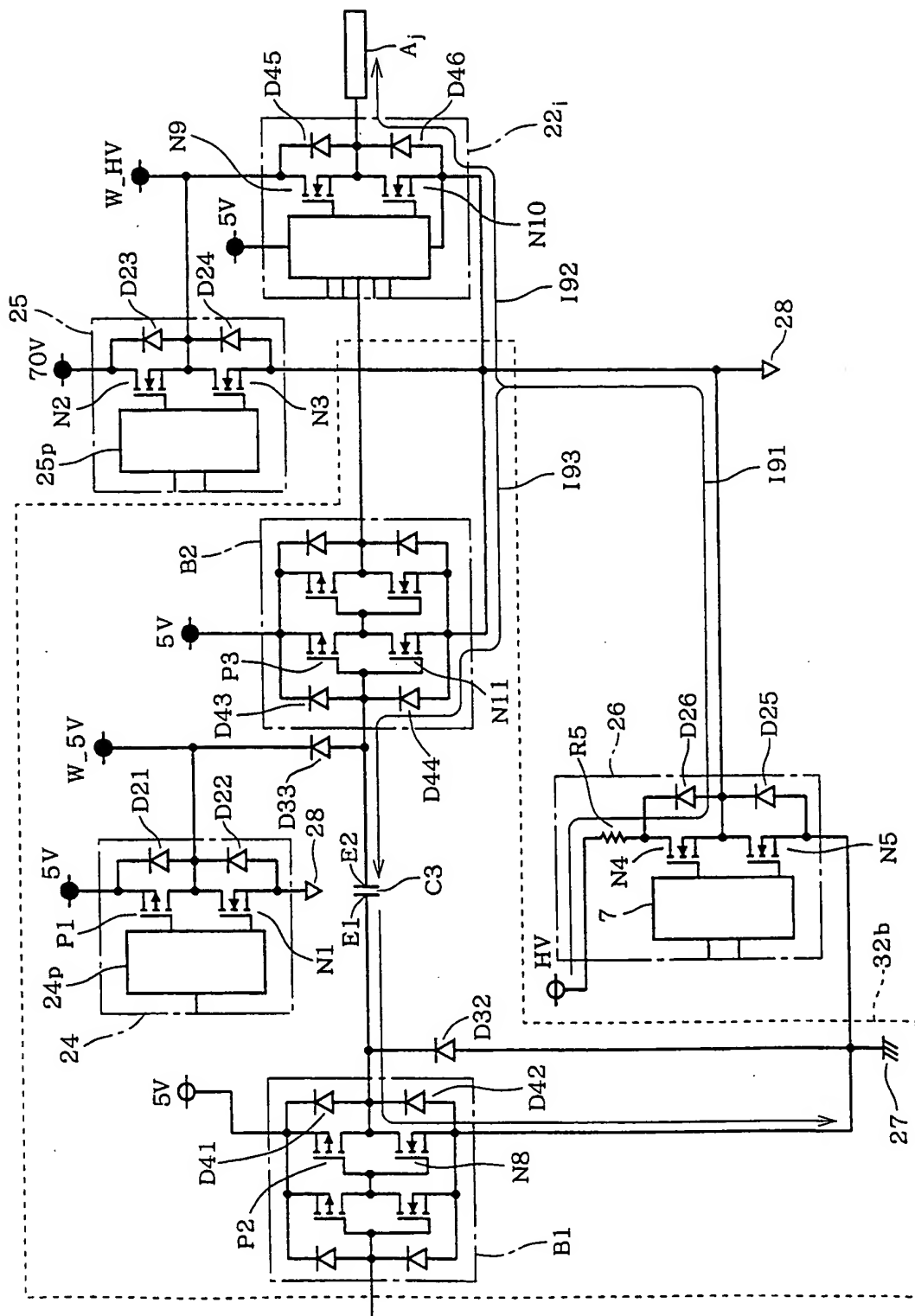
第 17 図



第 19 図

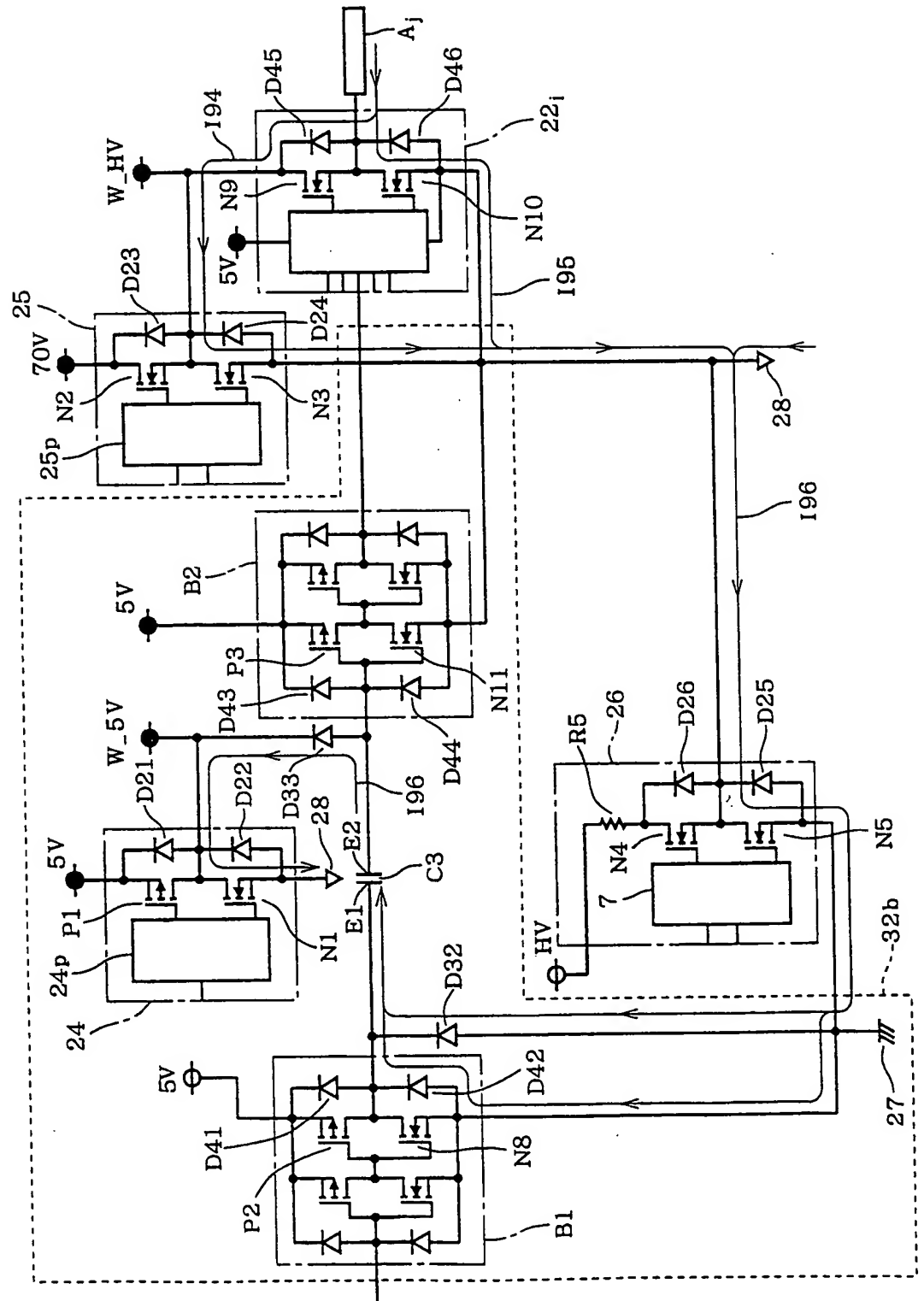


第 20 図

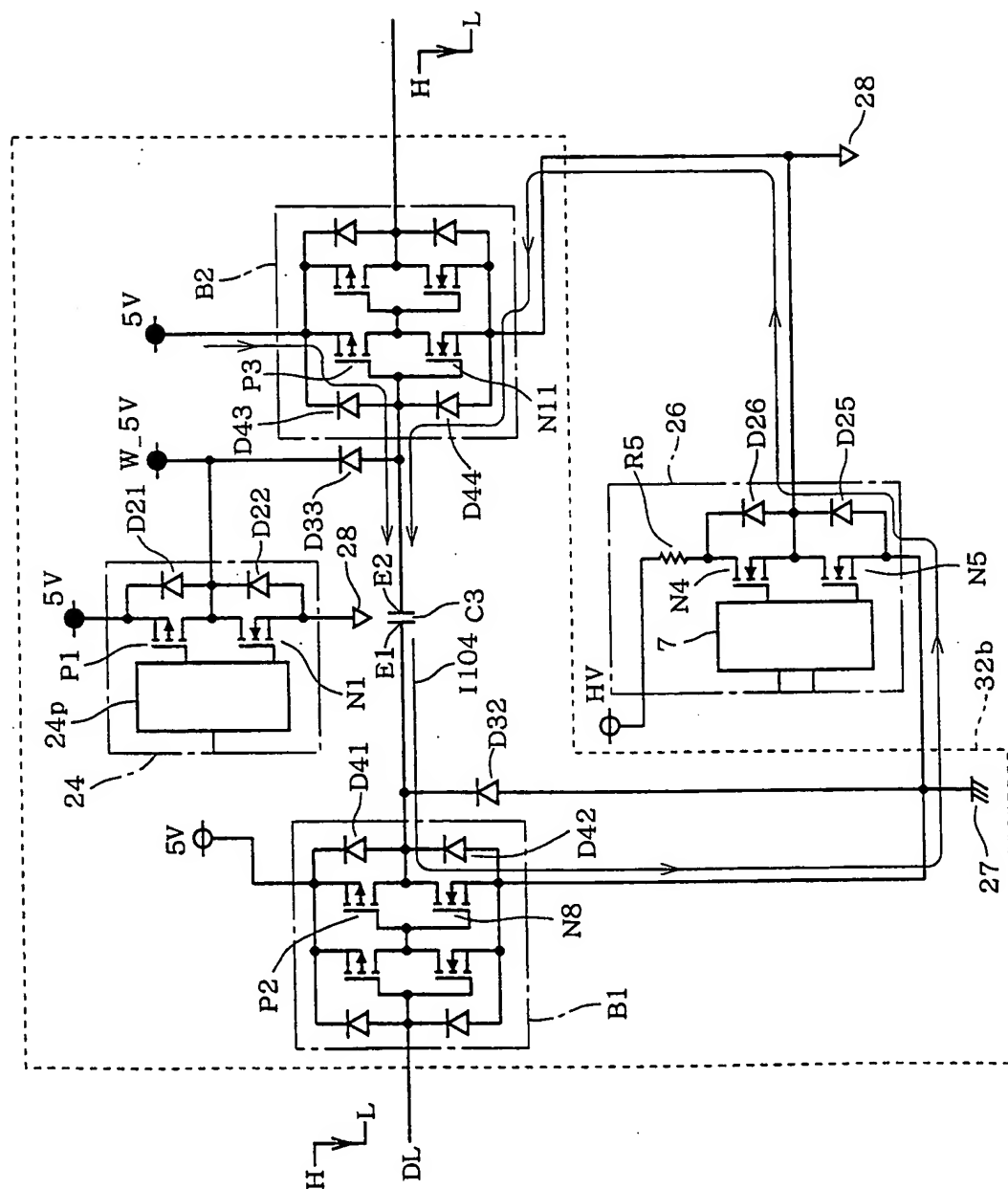


19/56

第 2 1 図

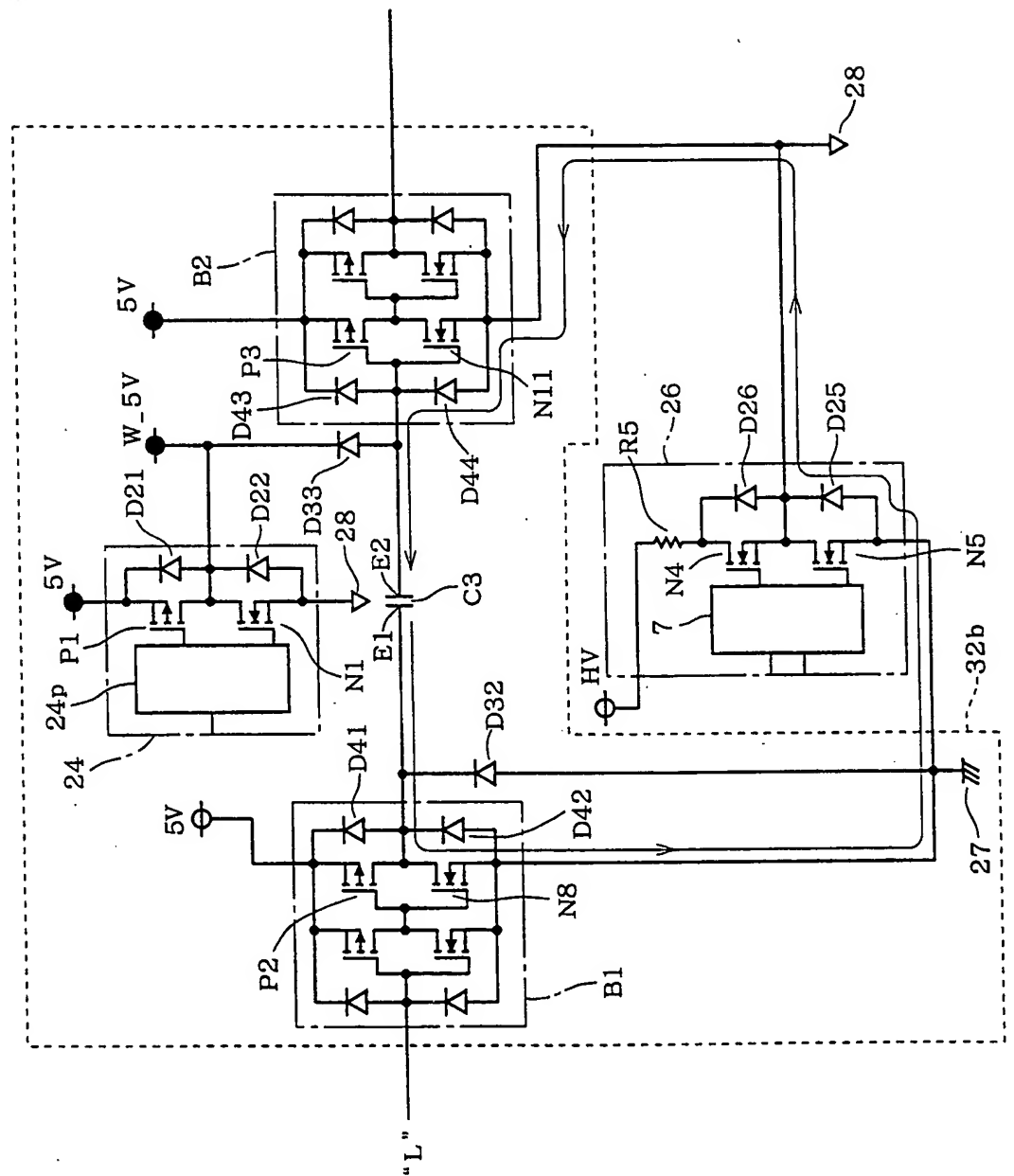


第 2 3 図

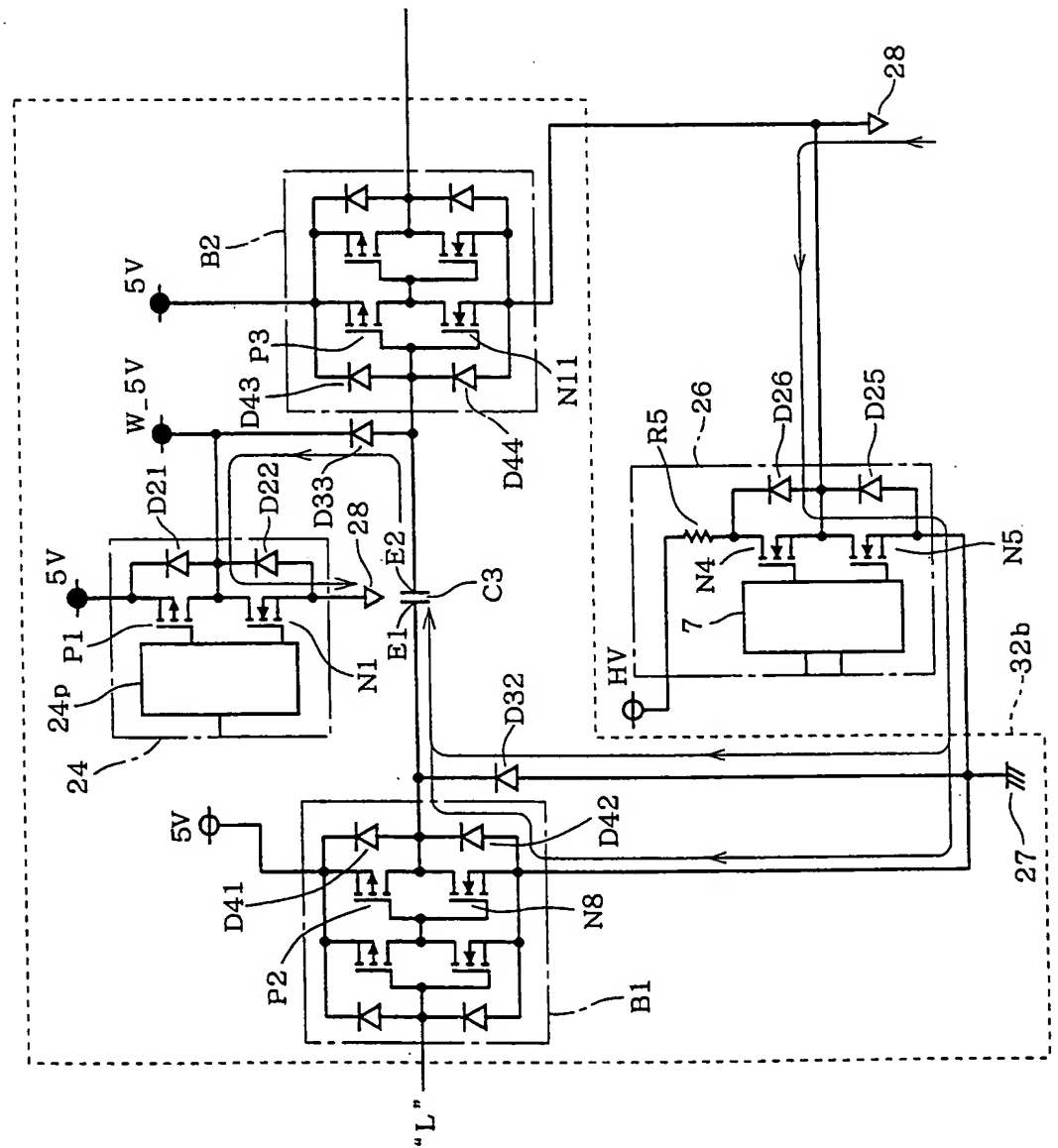


22/56

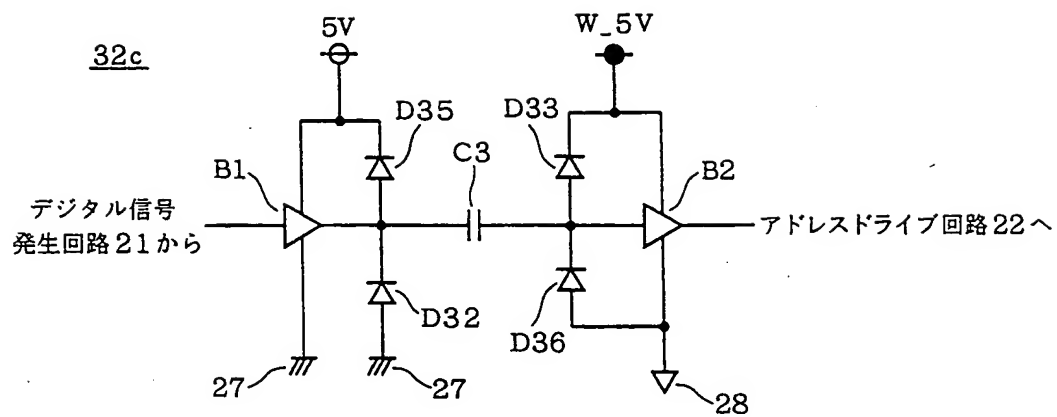
第 2 4 図



第 25 図

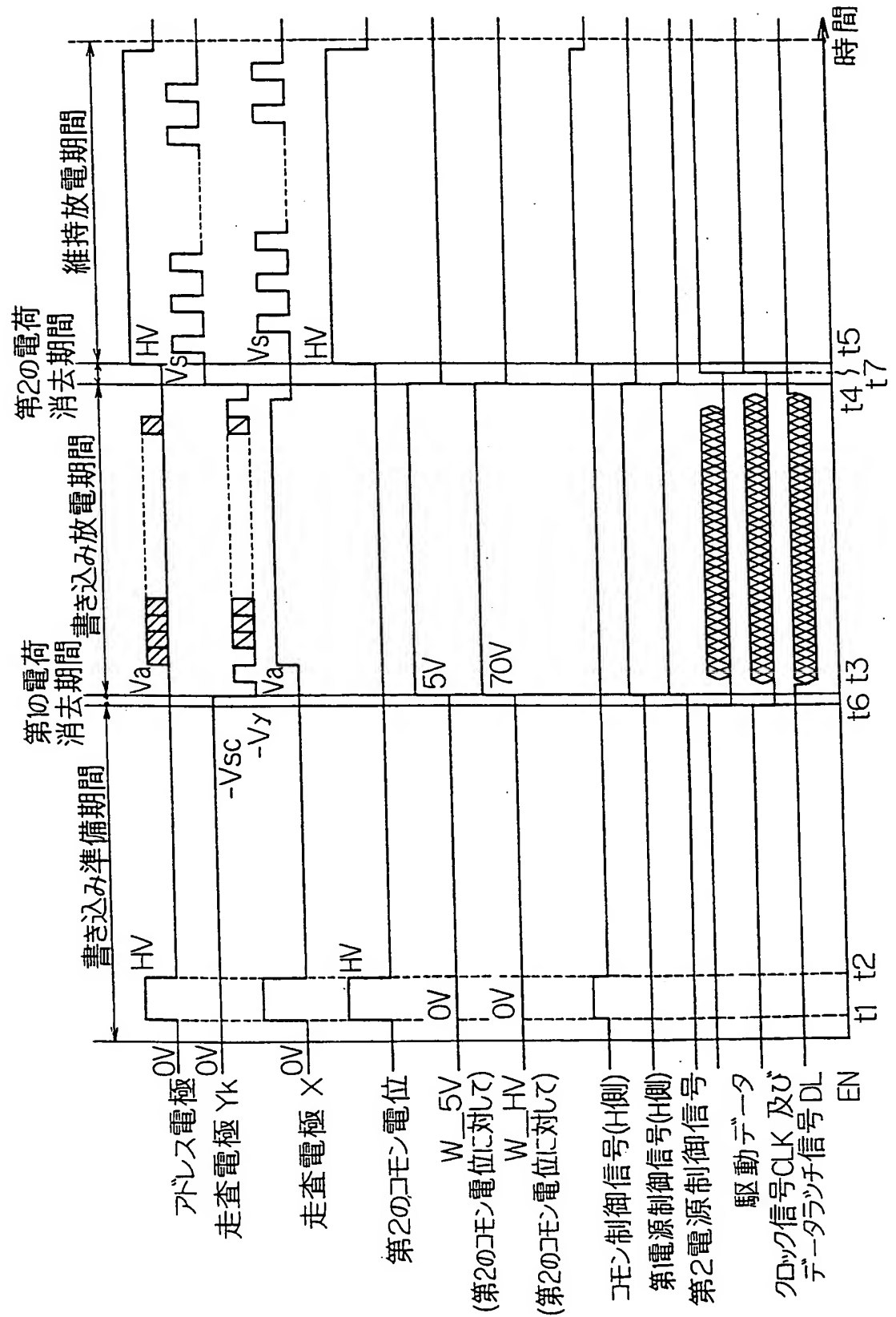


第 2 6 図

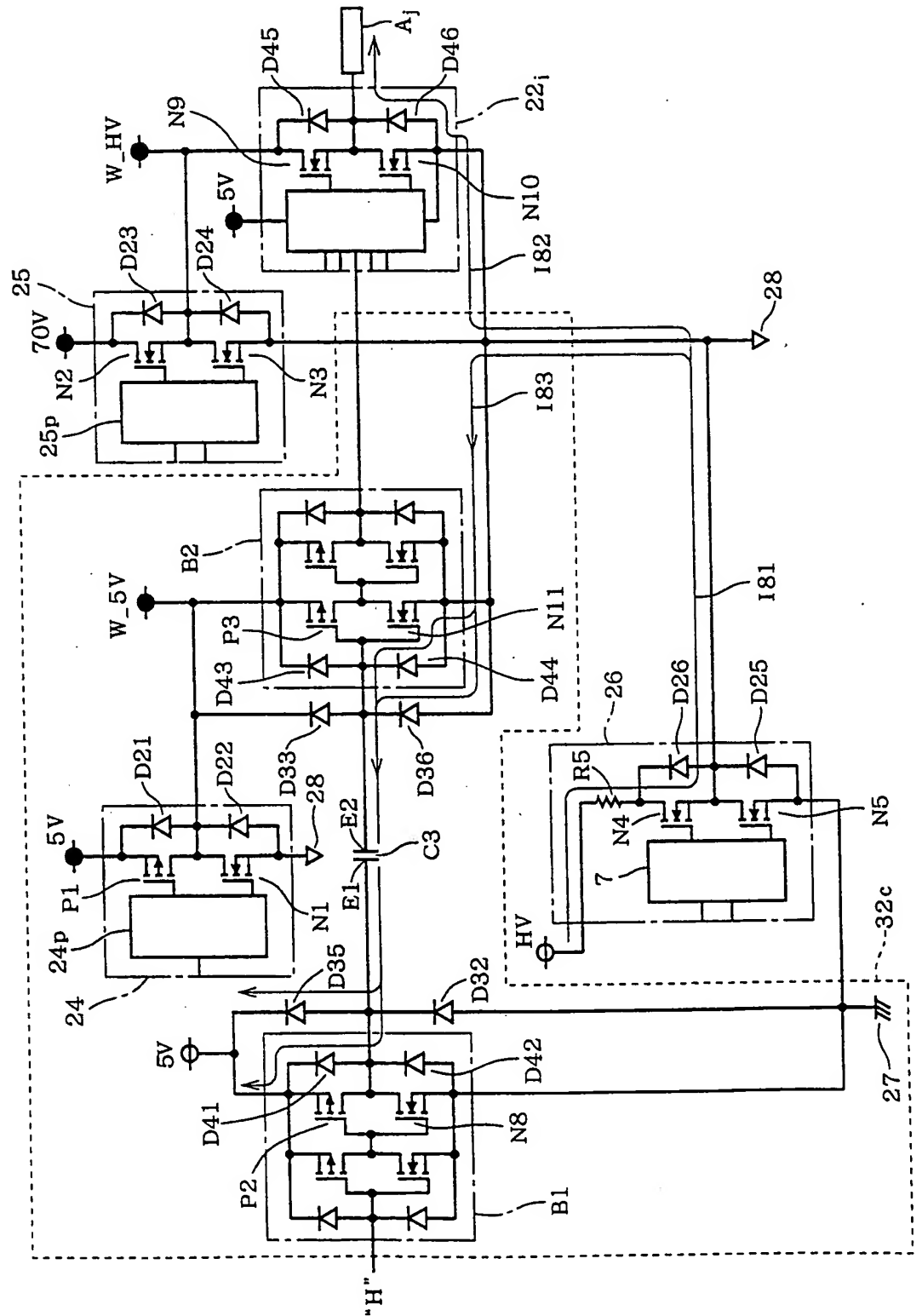


25/56

第 27 図

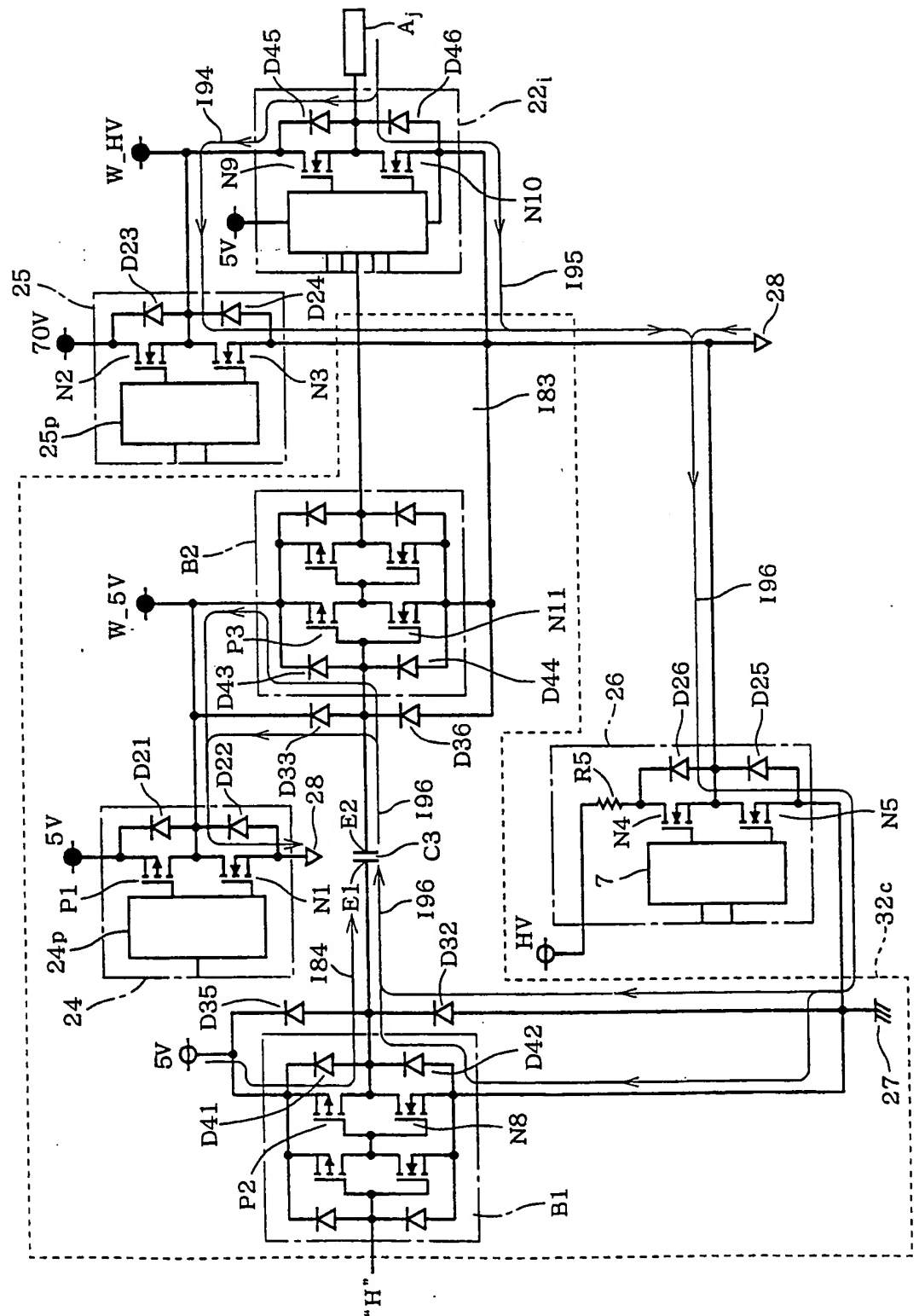


第 28 図

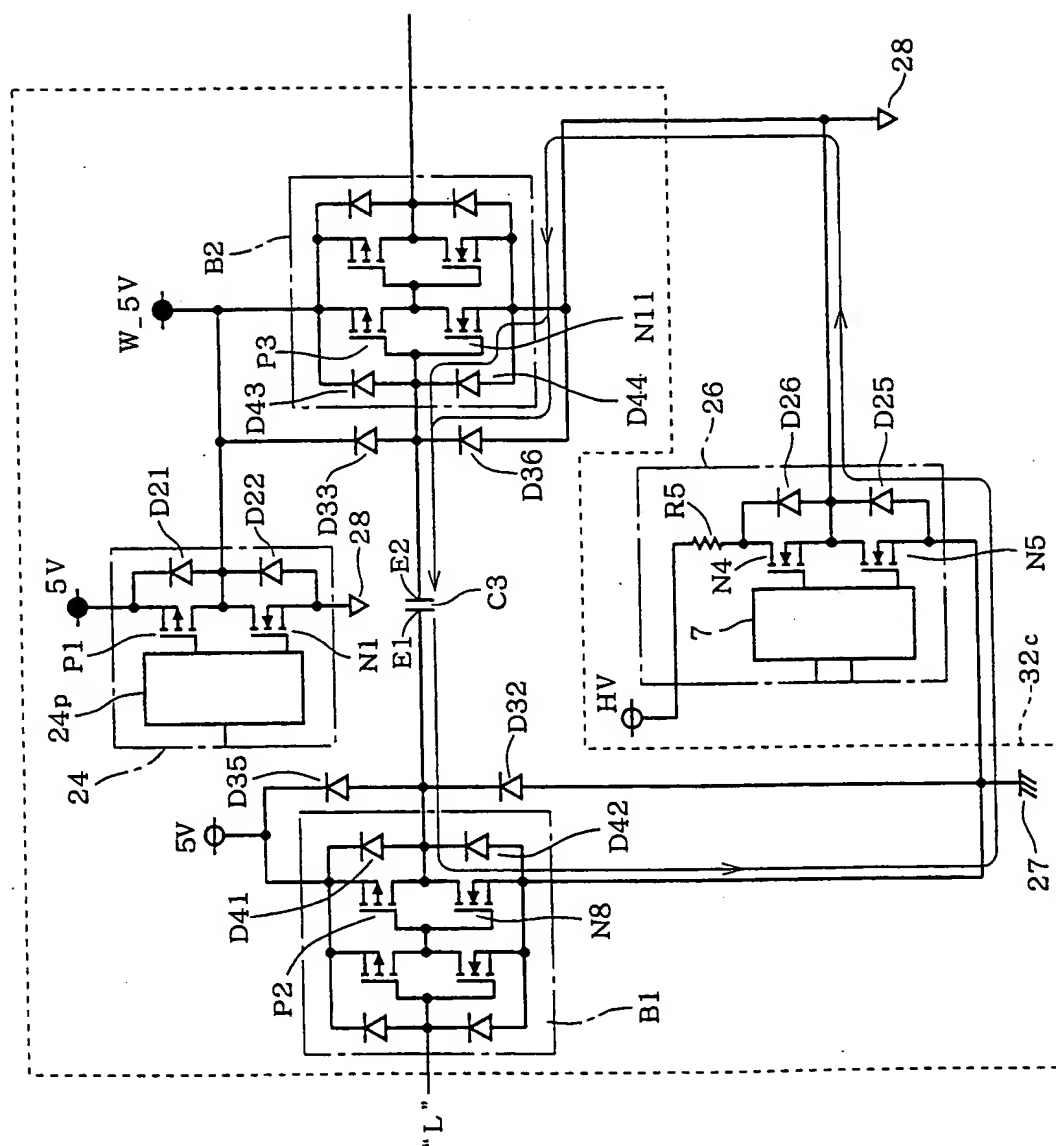


27/56

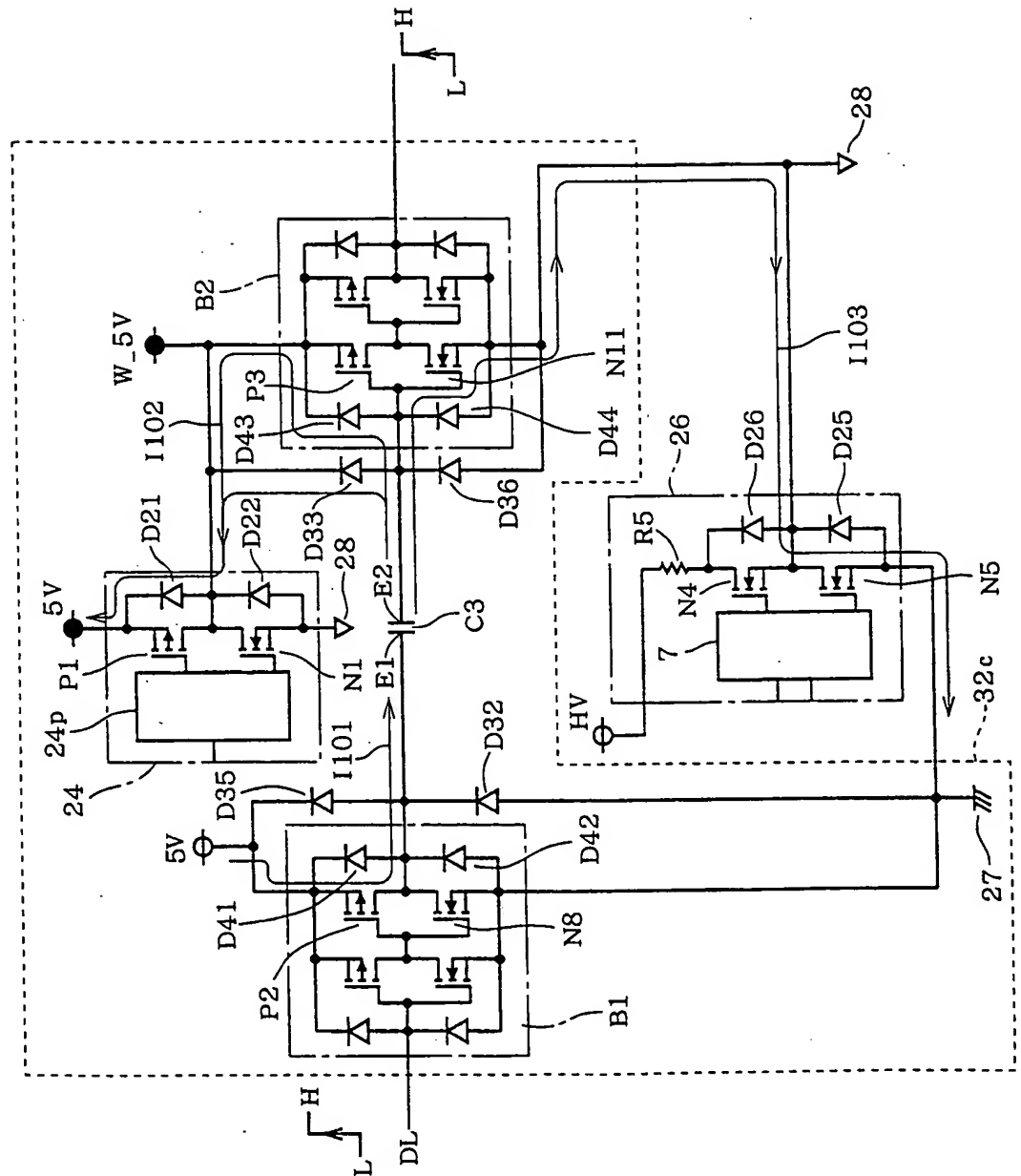
第 29 図



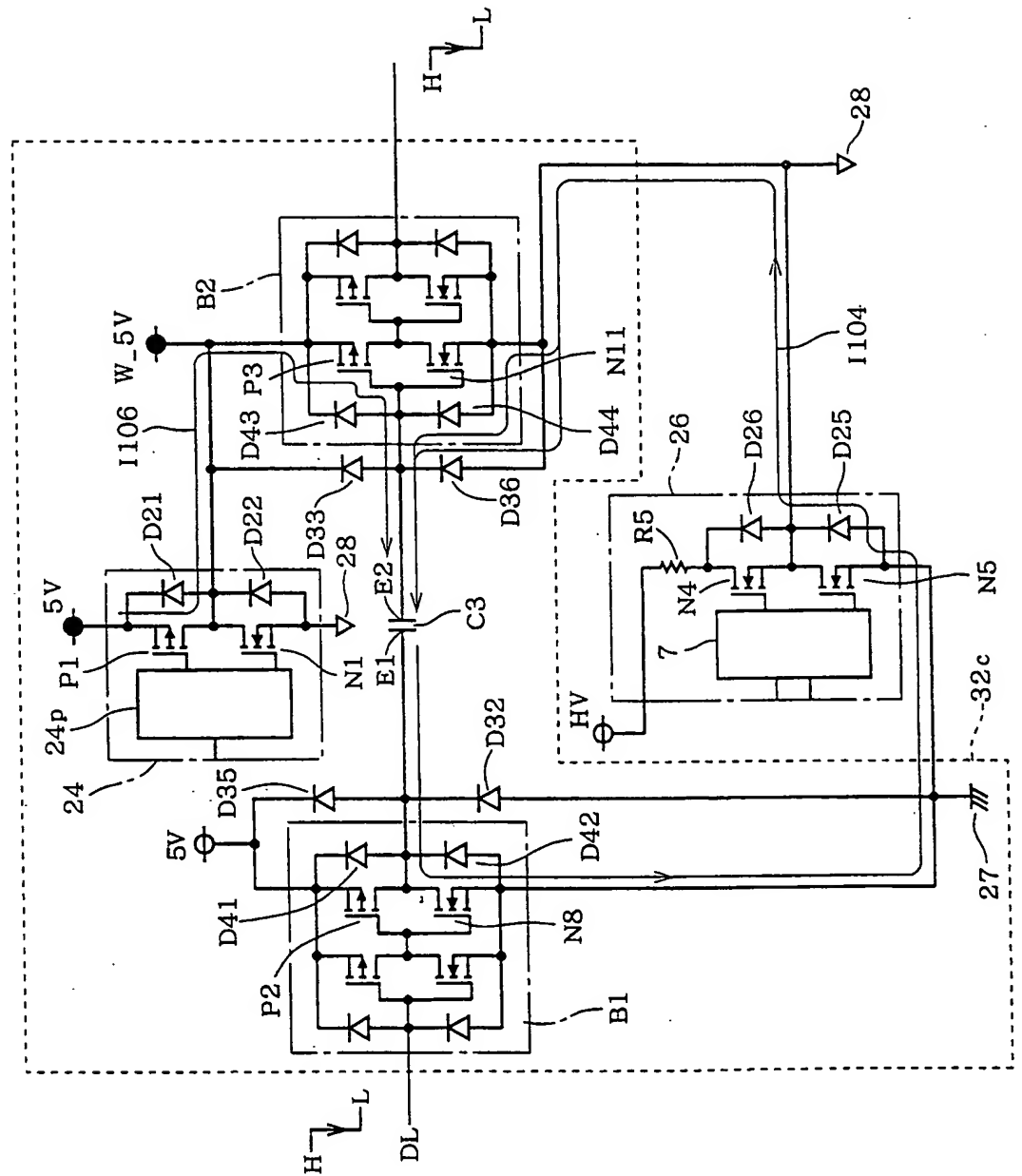
第 30 図



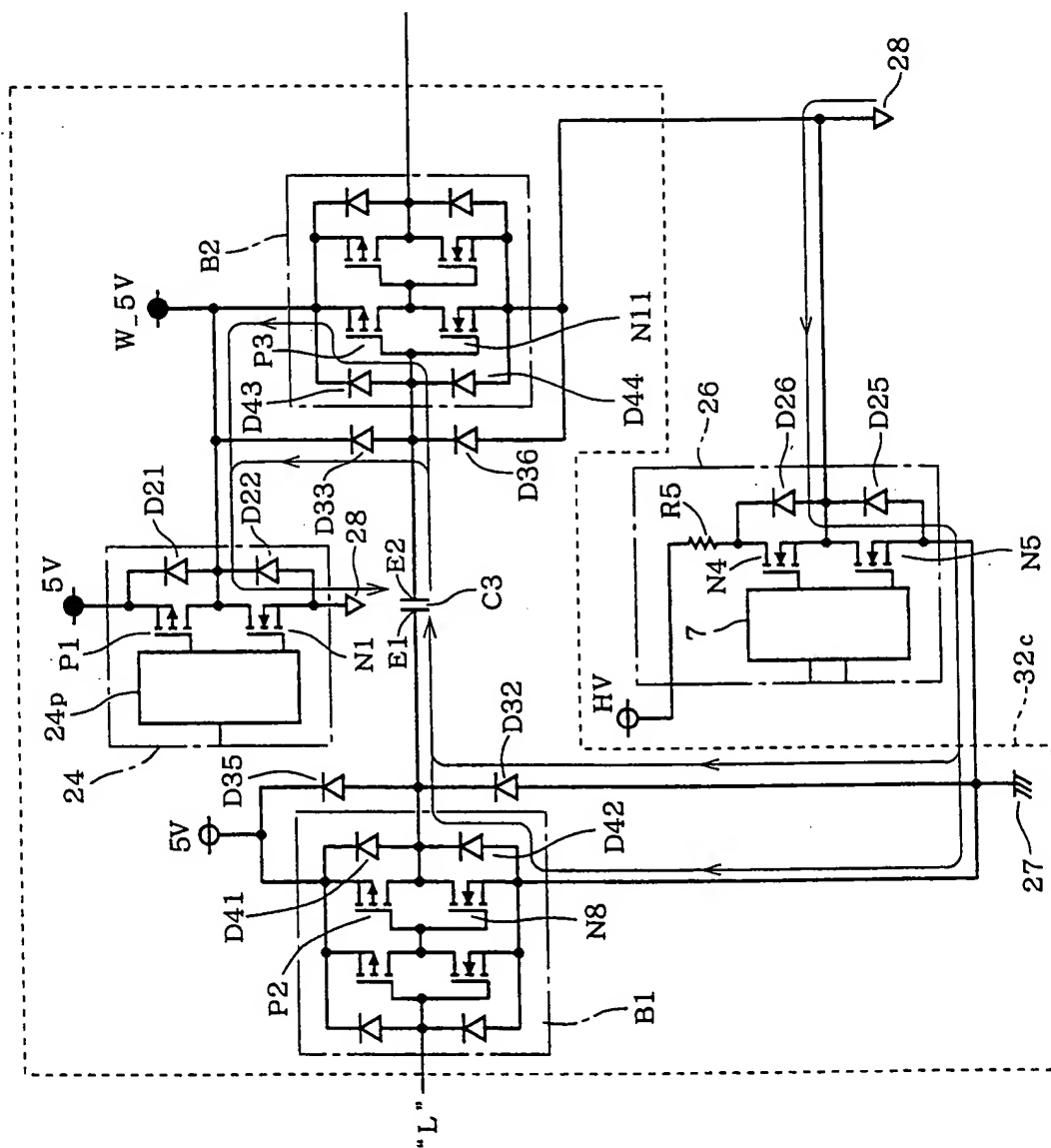
第 3 1 図



第 32 図

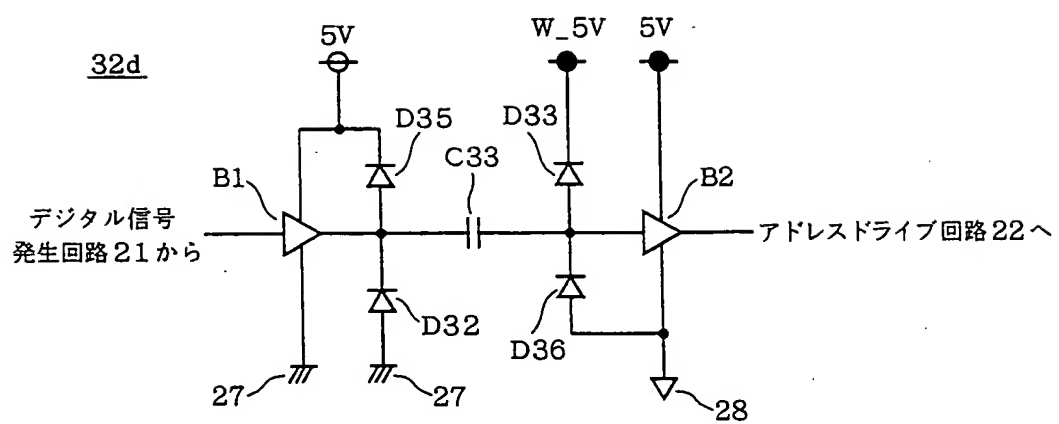


第 3 3 図

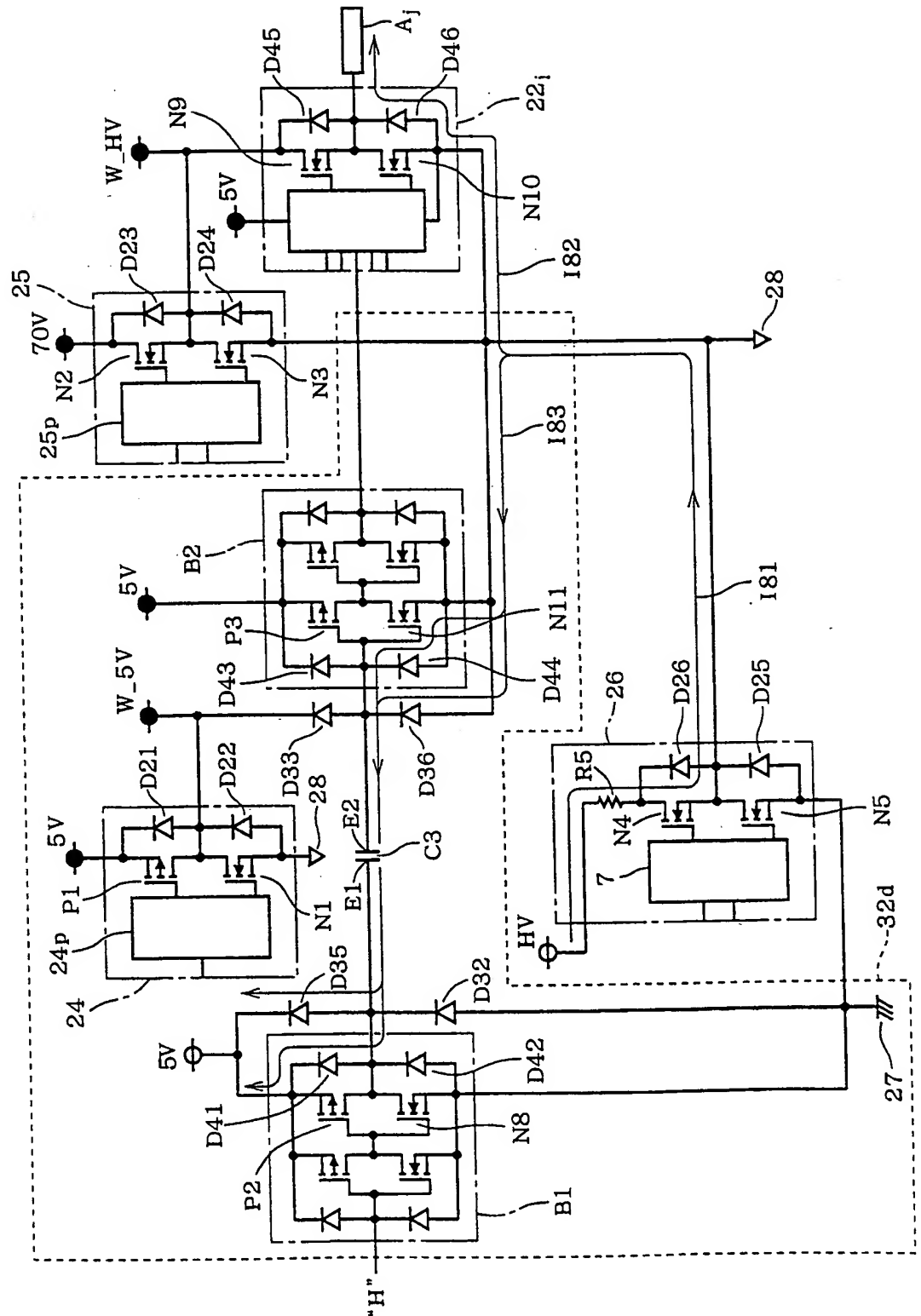


32/56

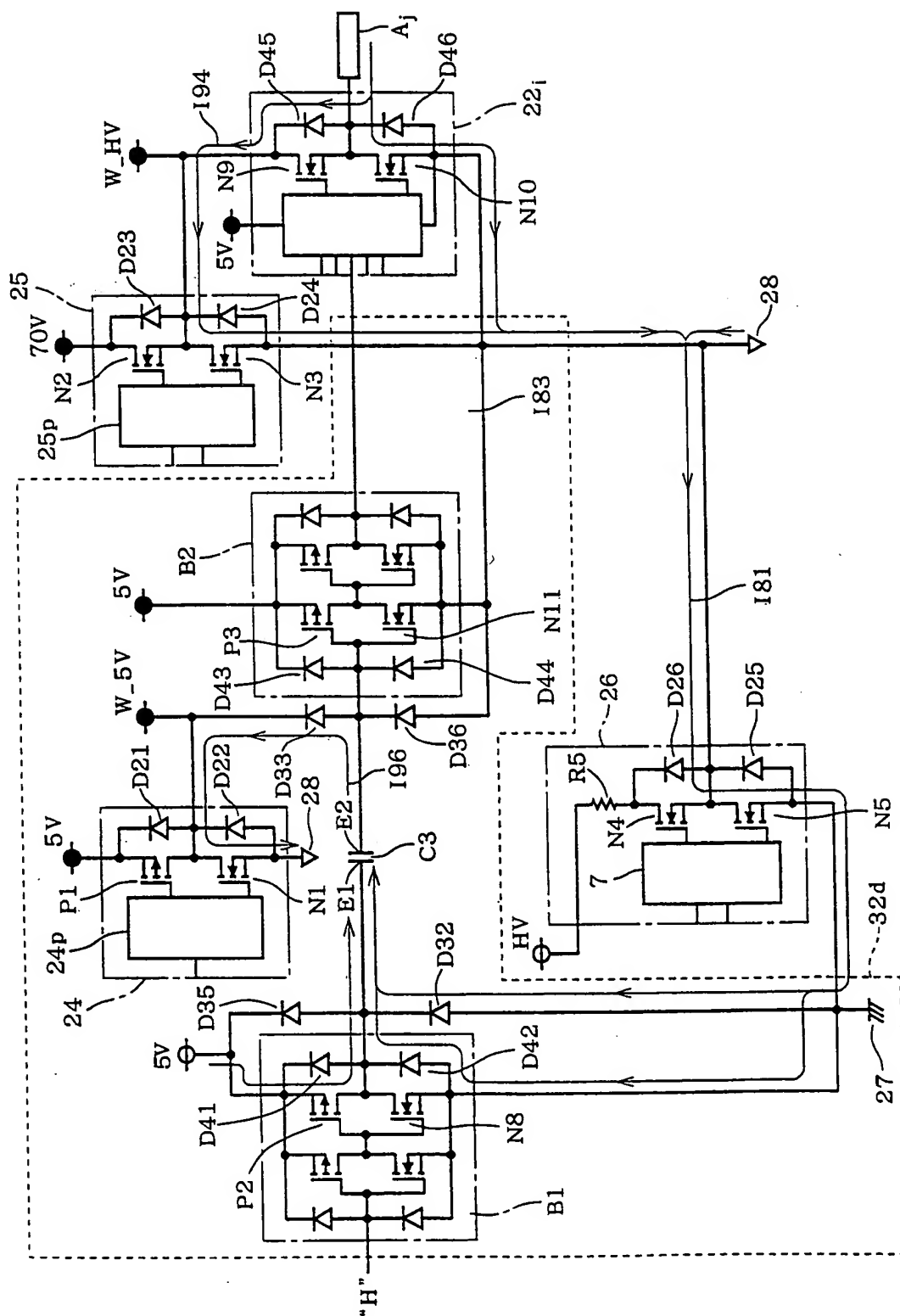
第 3 4 図



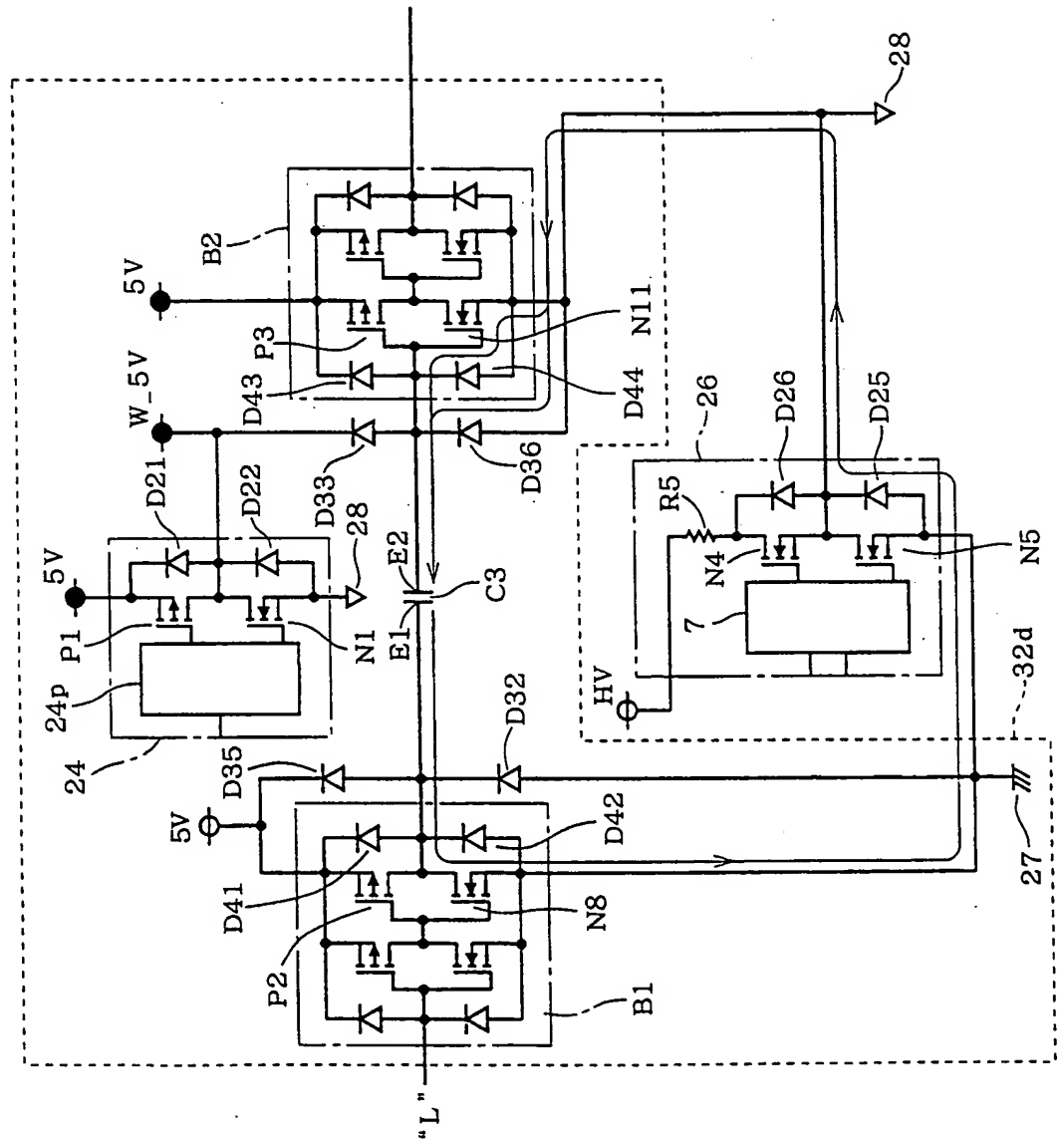
第 3 5 図



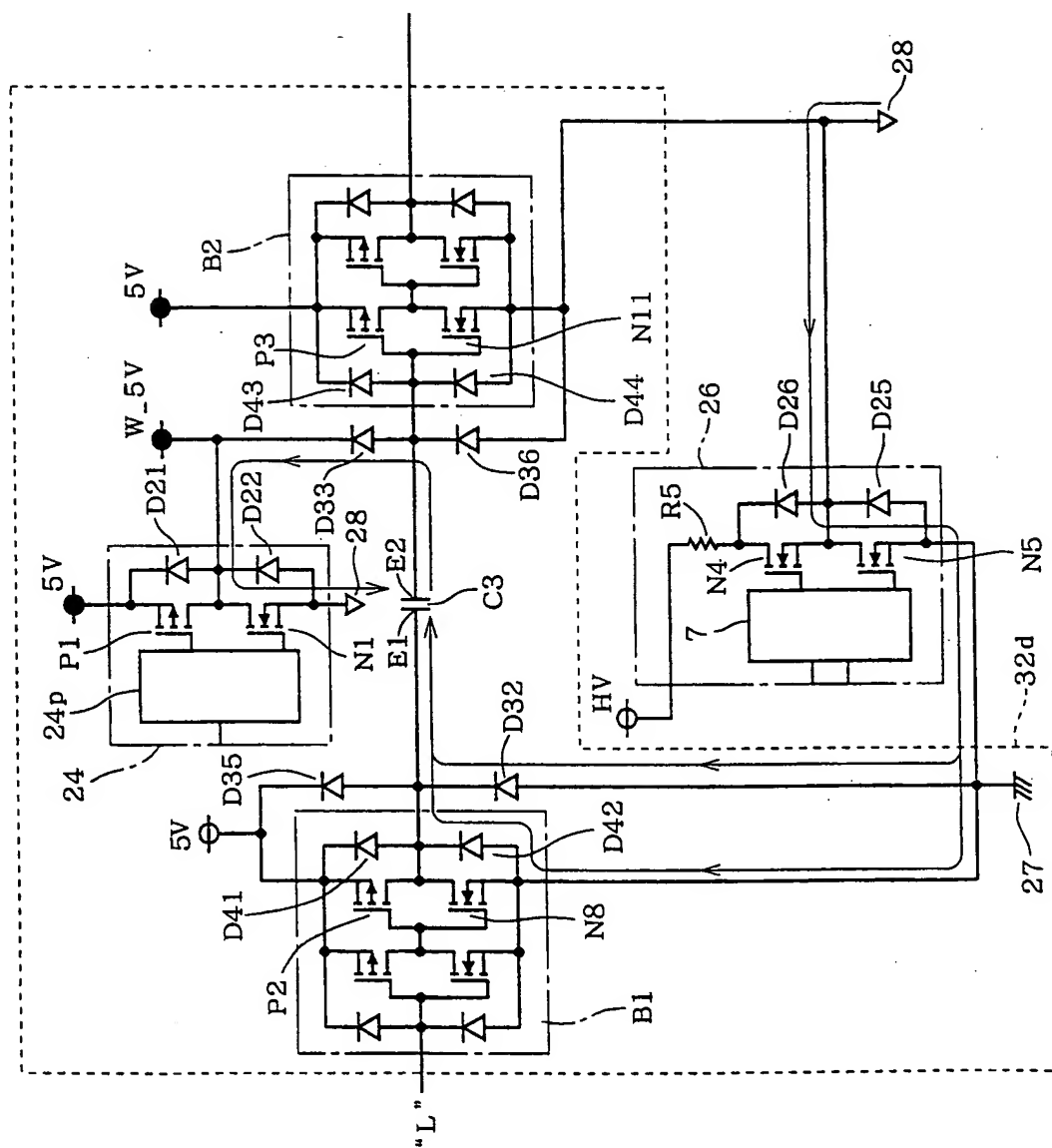
第 3 6 図



第 3 7 図

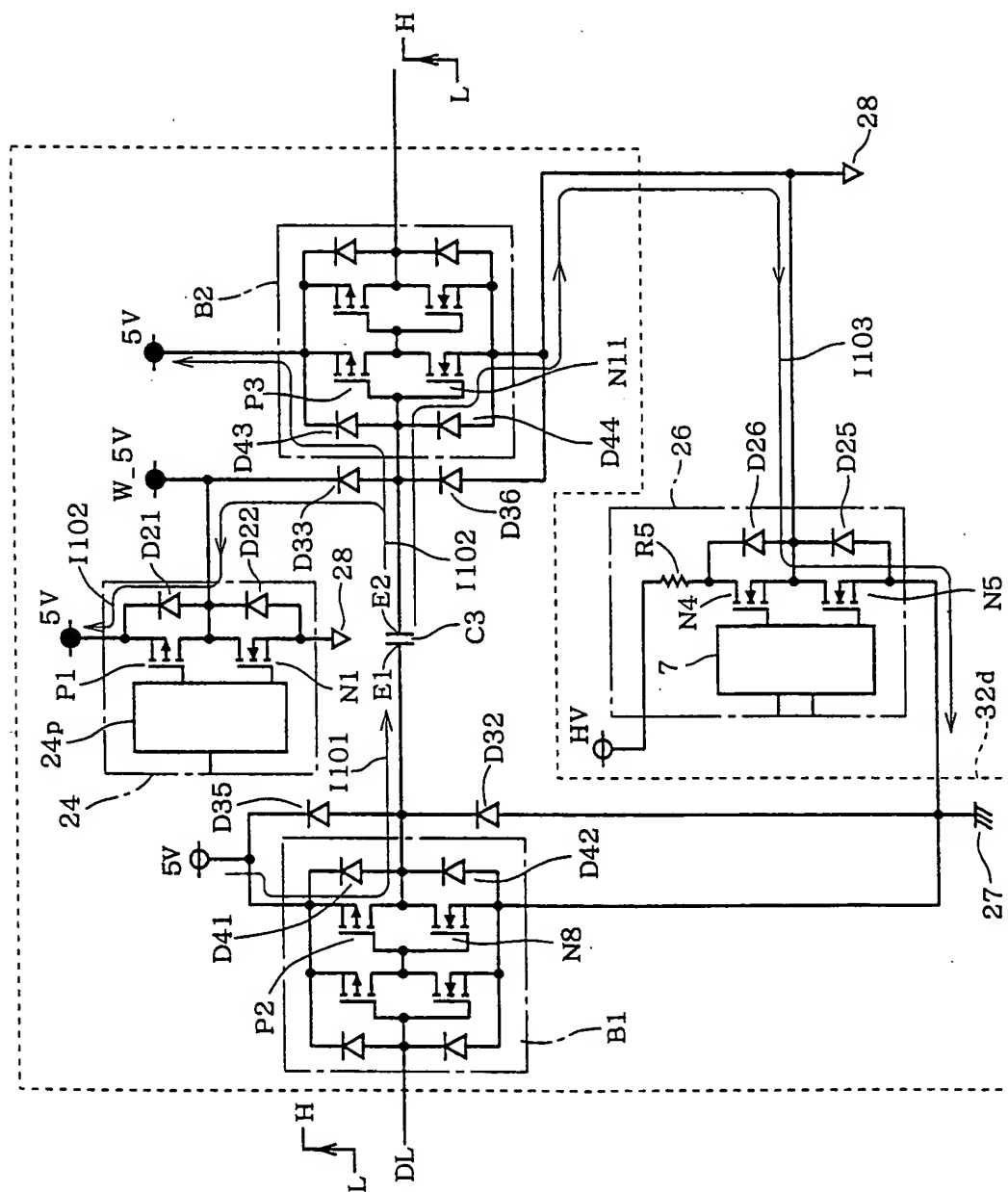


第 38 図

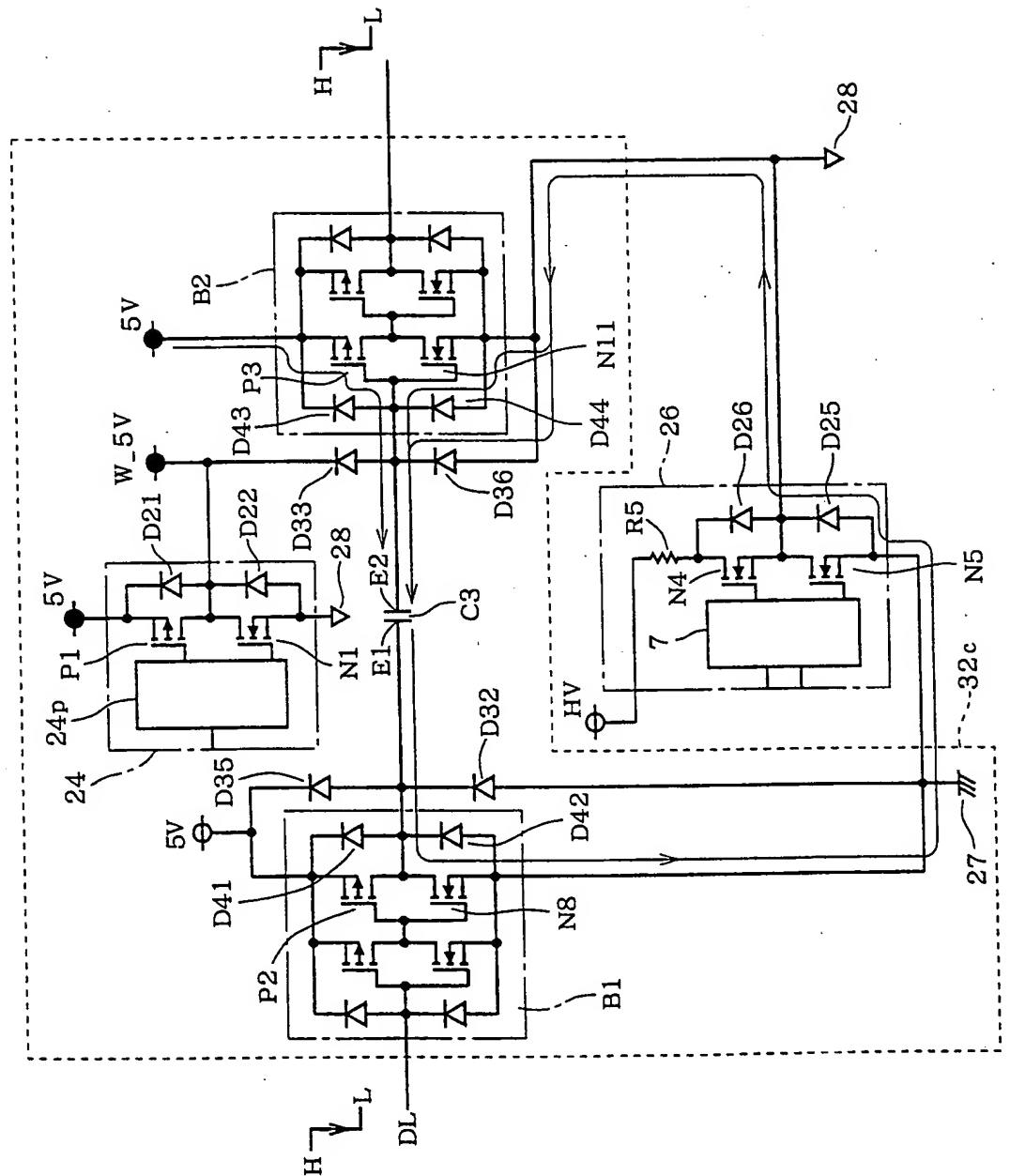


37/56

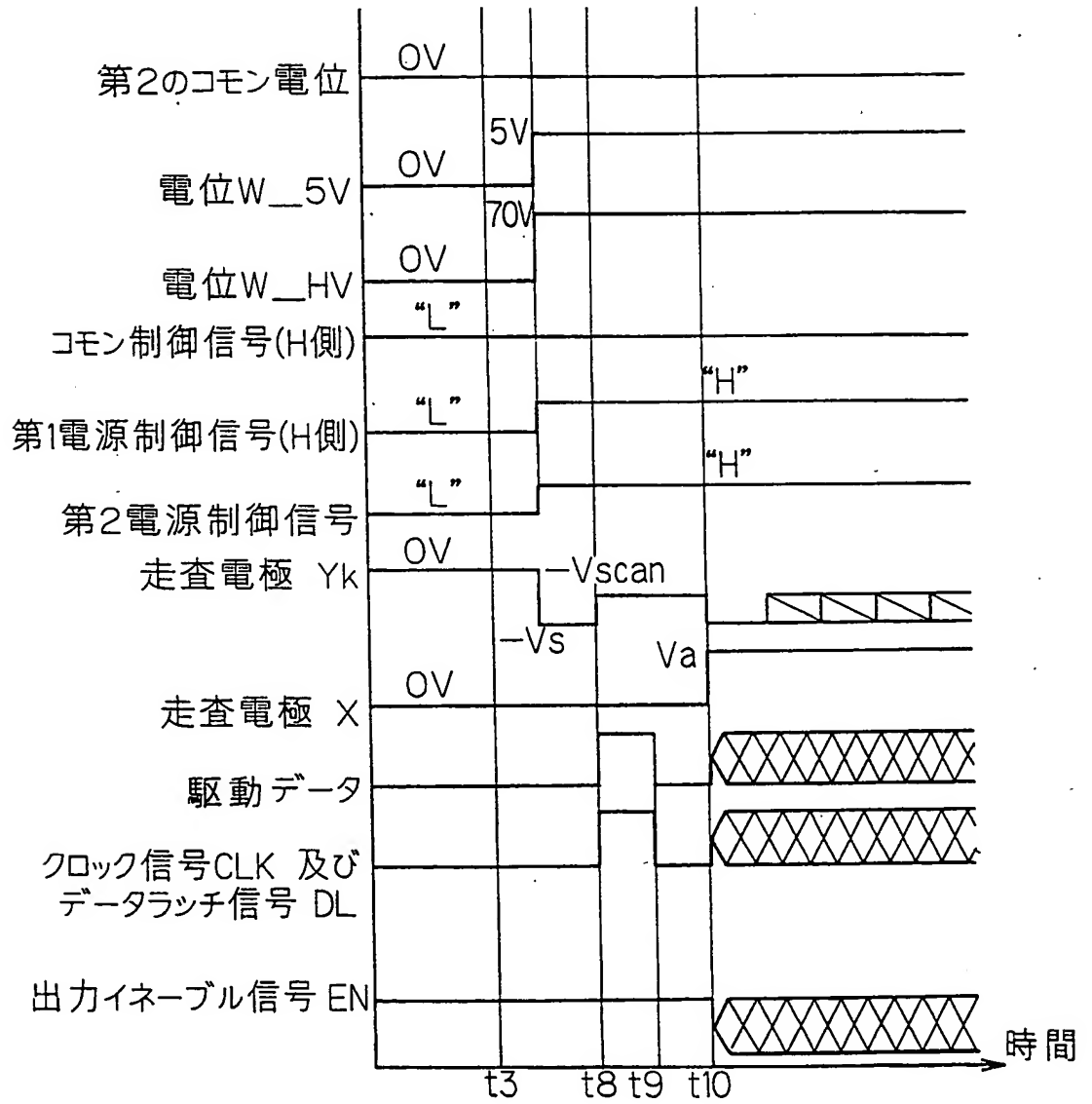
第 3 9 図



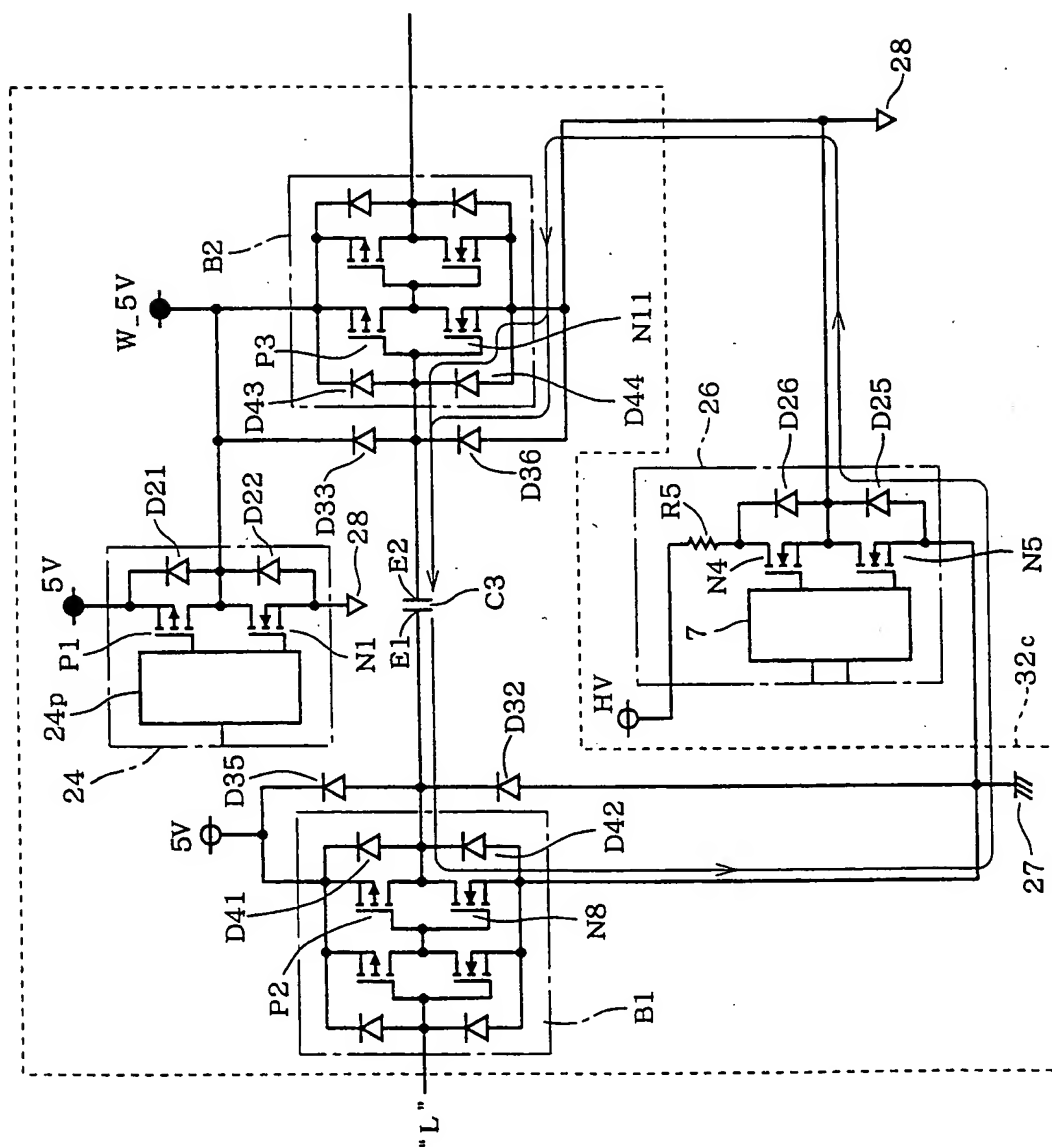
第 40 図



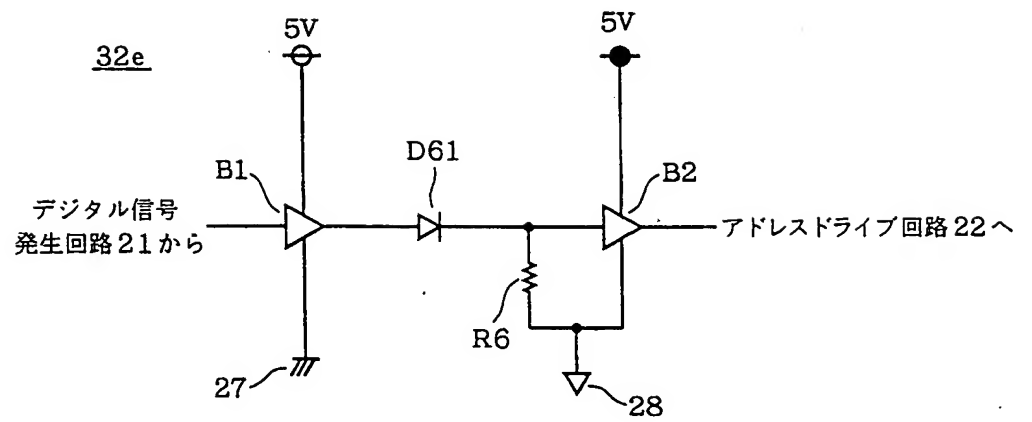
第 41 図



第 4 3 図

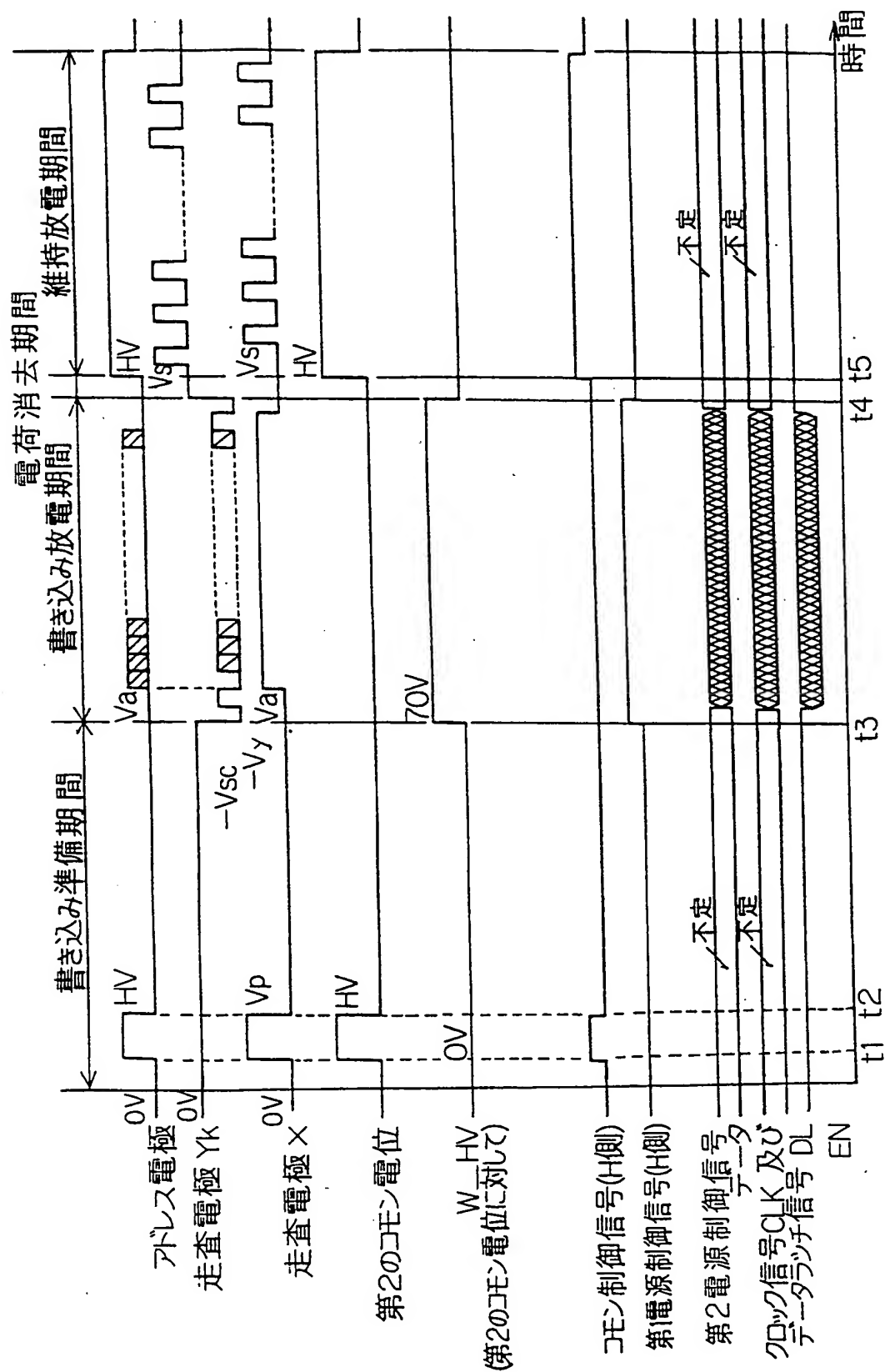


第 4 4 図

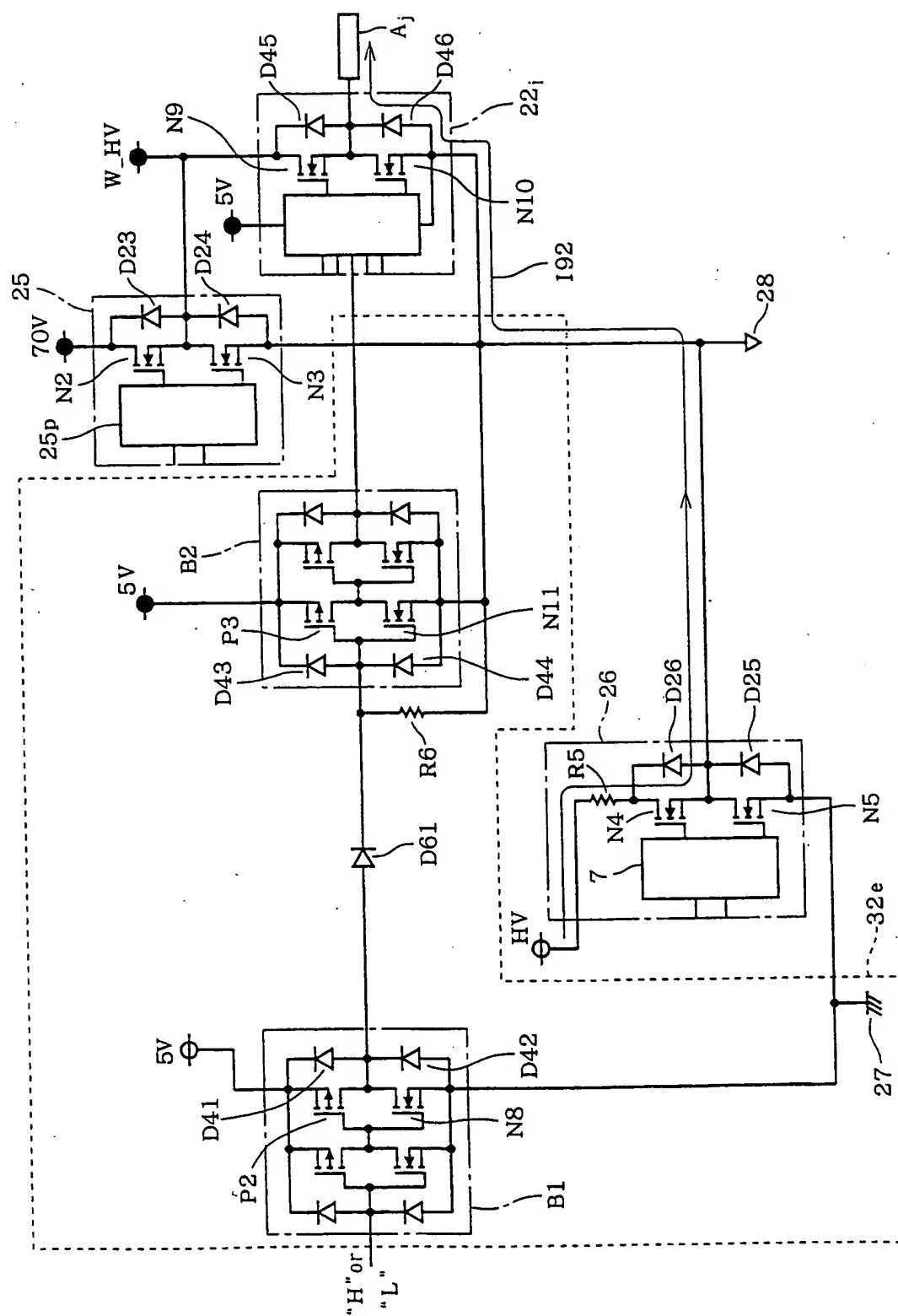


43/56

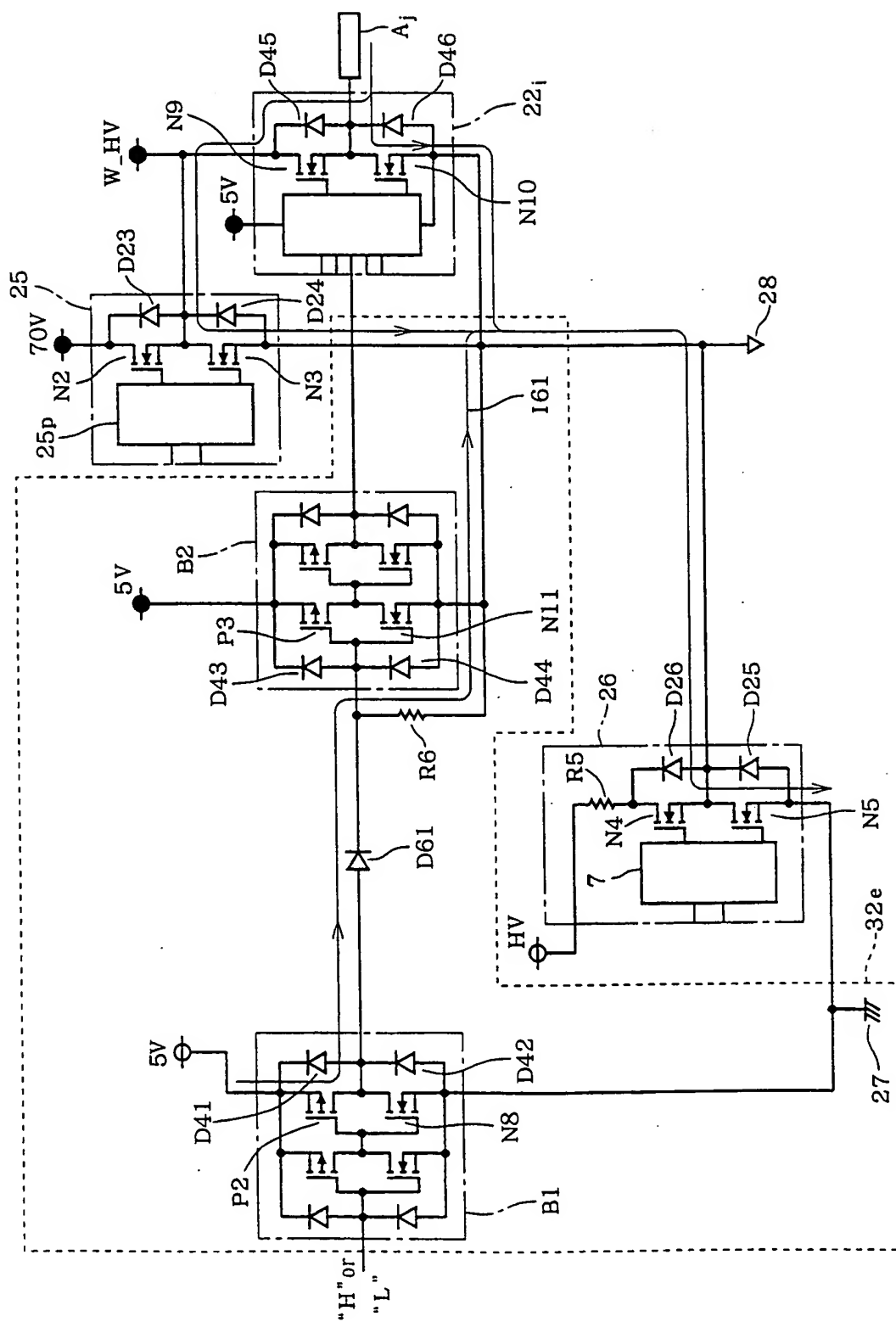
第 45 図



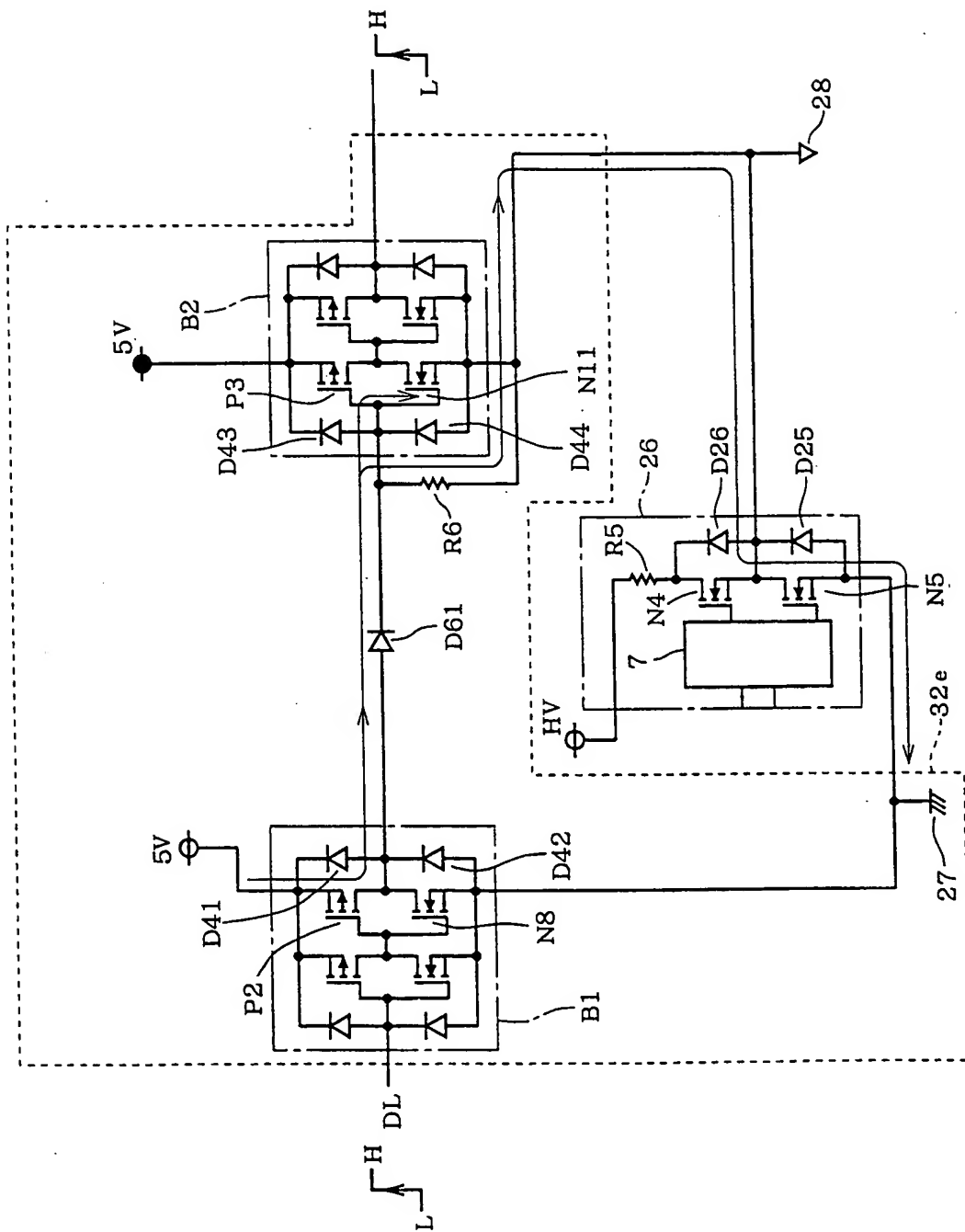
第 4 6 図



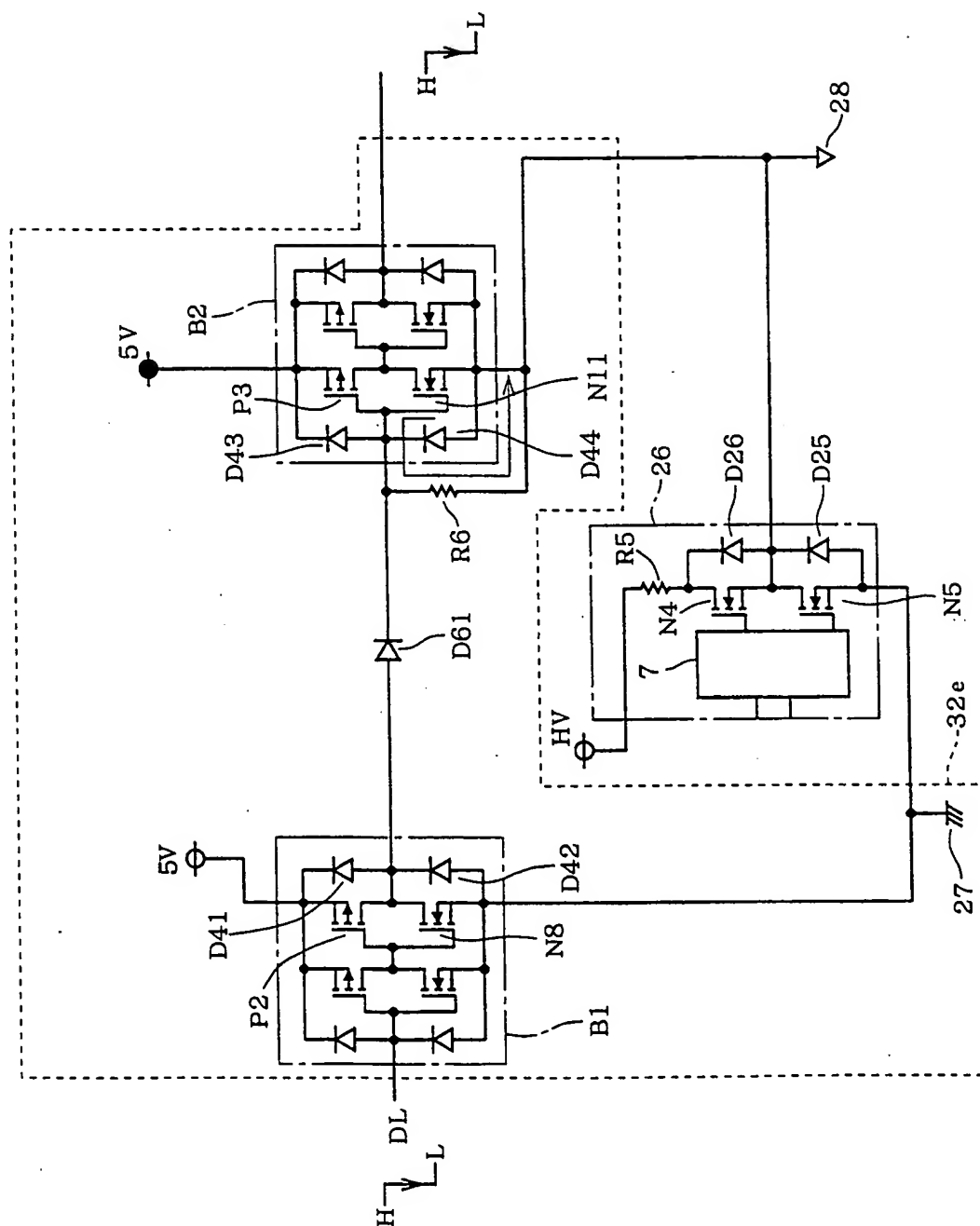
第 4 7 図



第 4 8 図

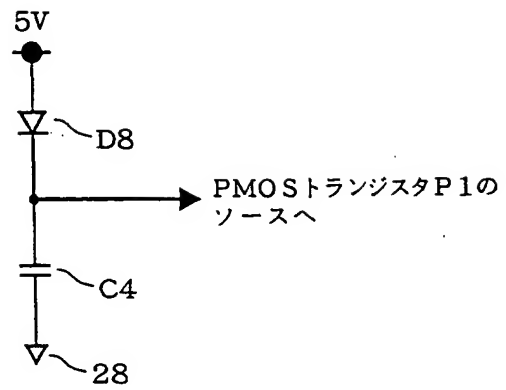


第 49 図

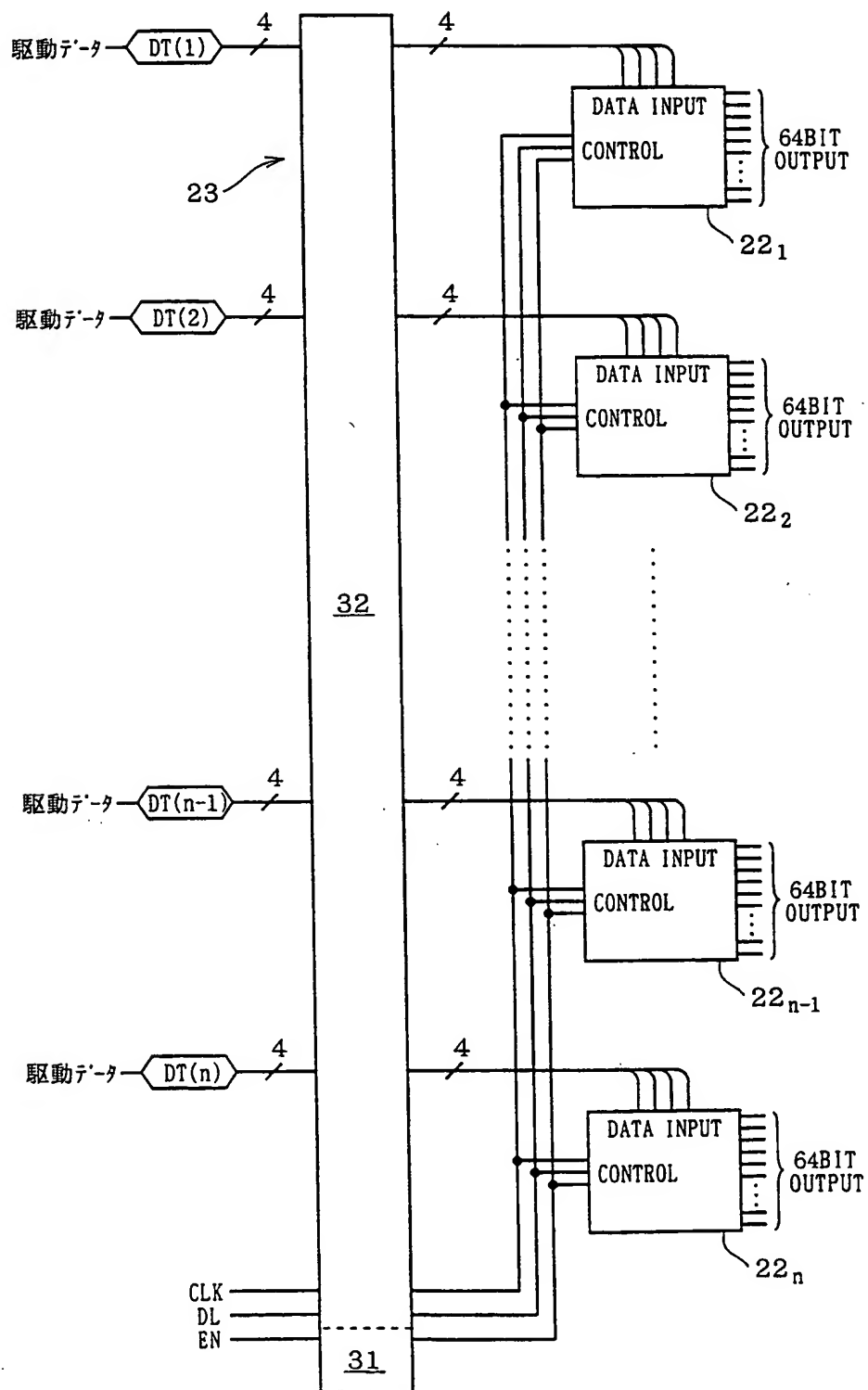


48/56

第 50 図

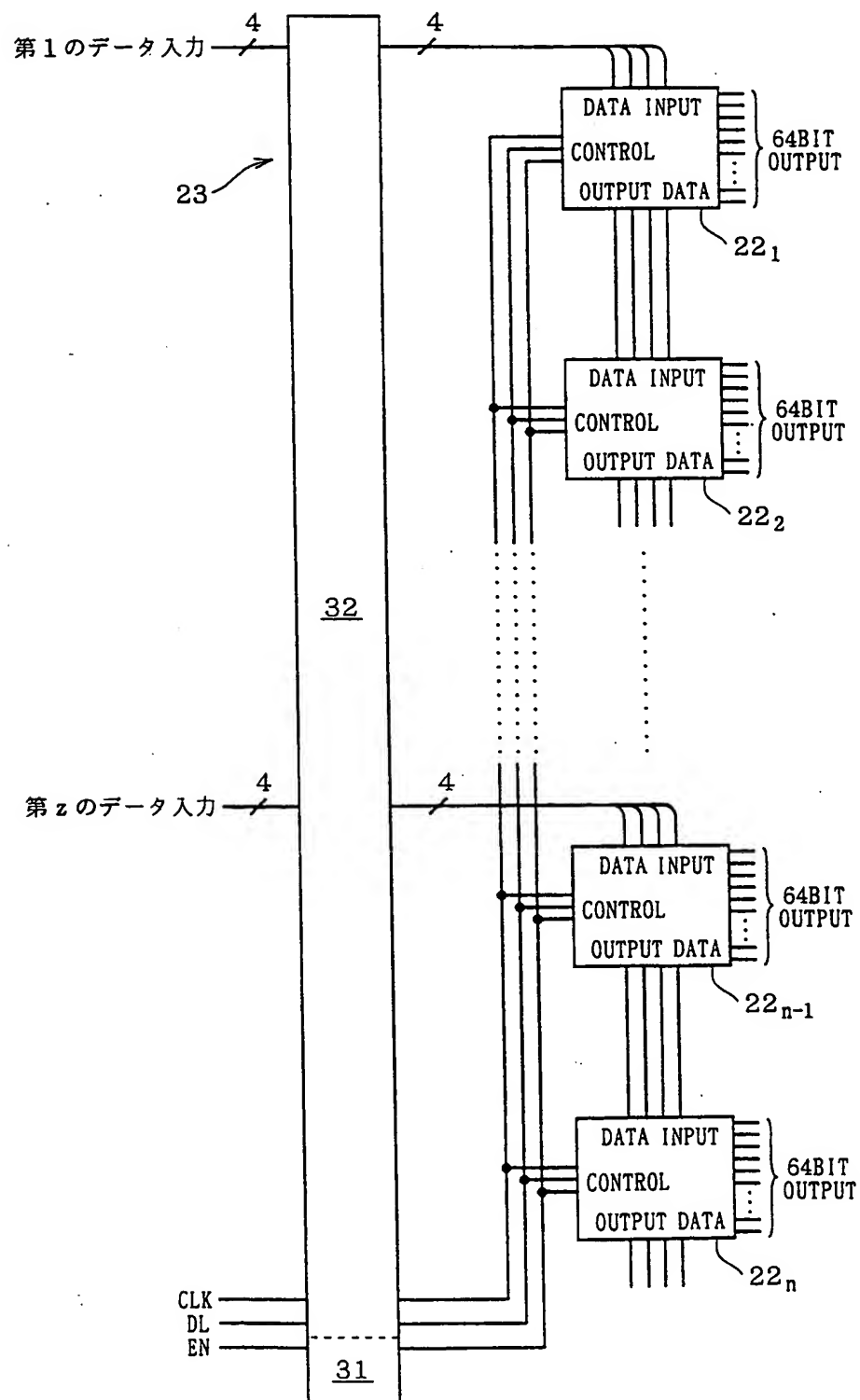


第 5 1 図

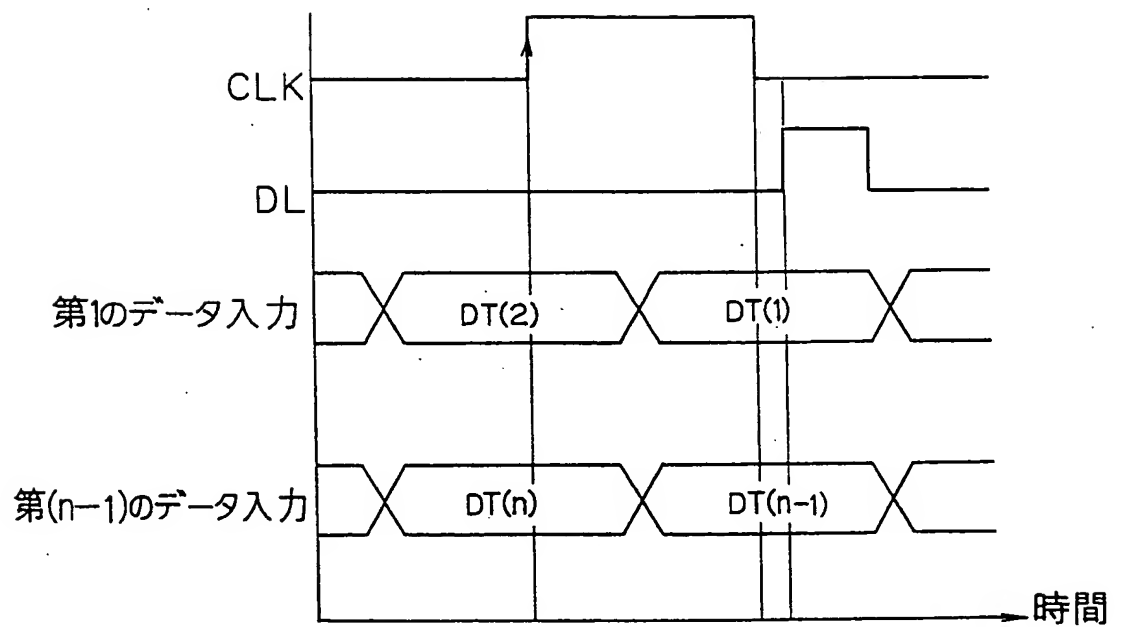


50/56

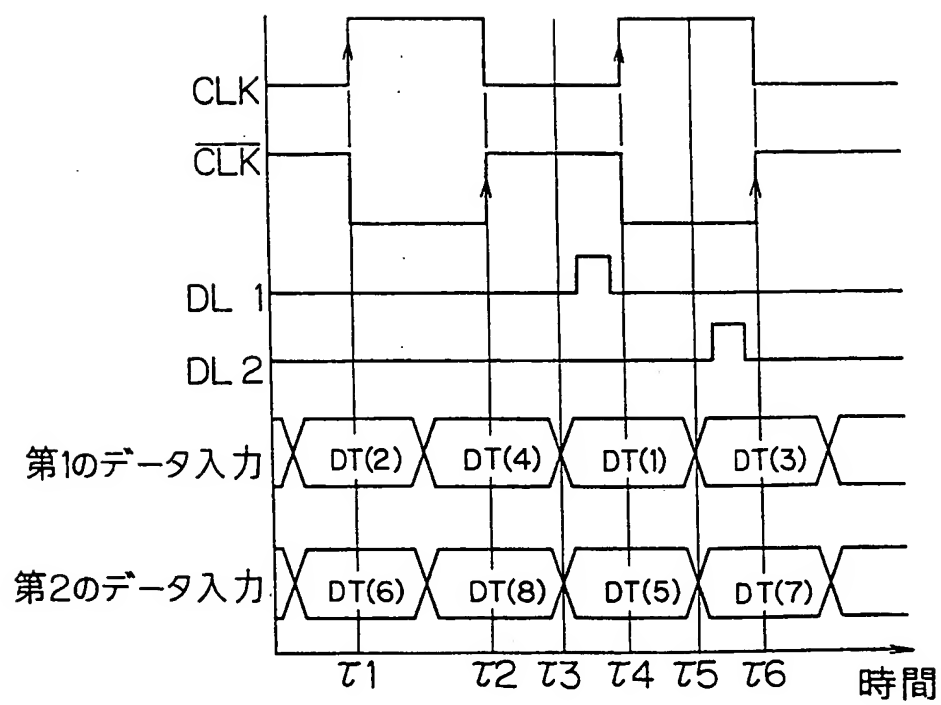
第 5 2 図



第 53 図

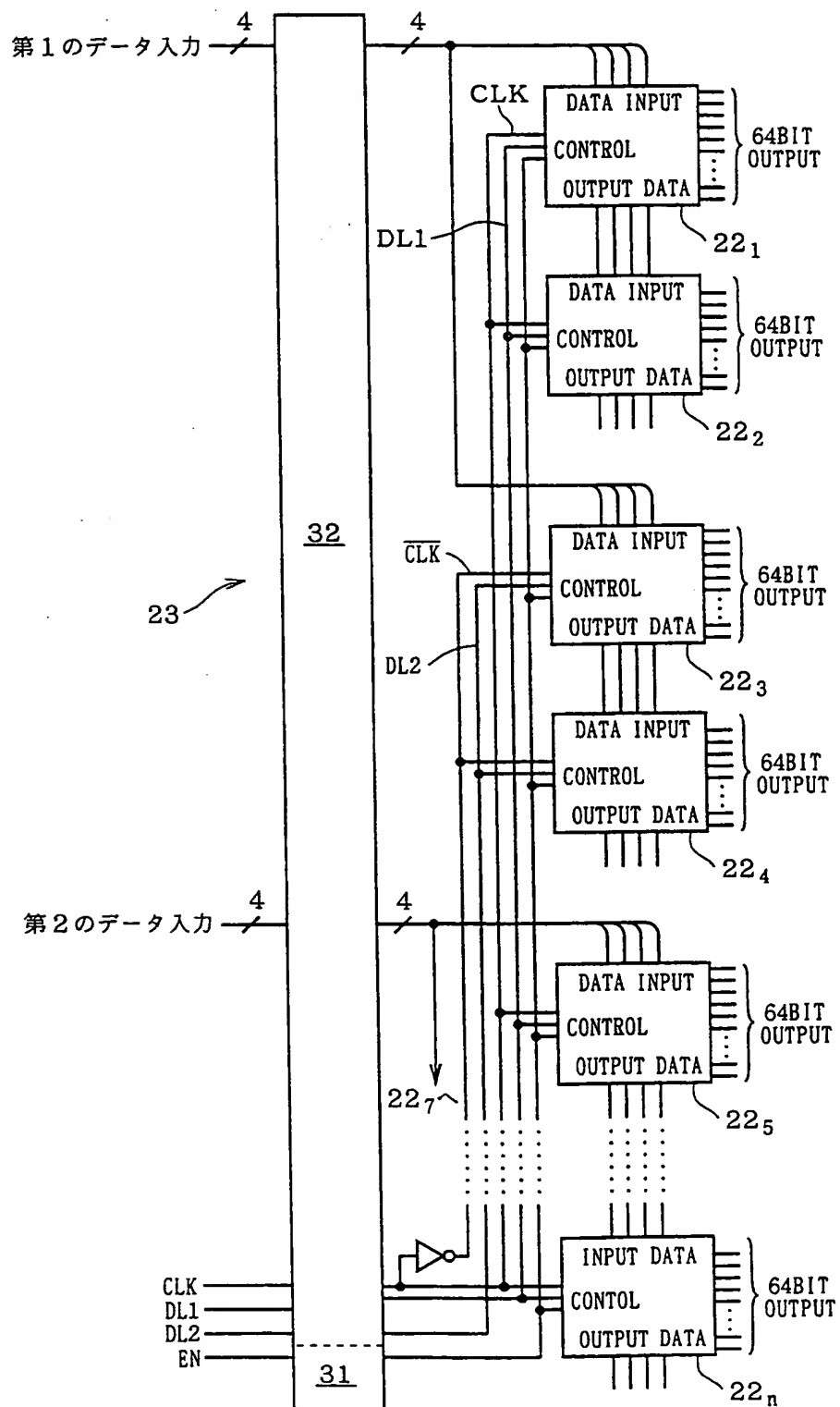


第 54 図

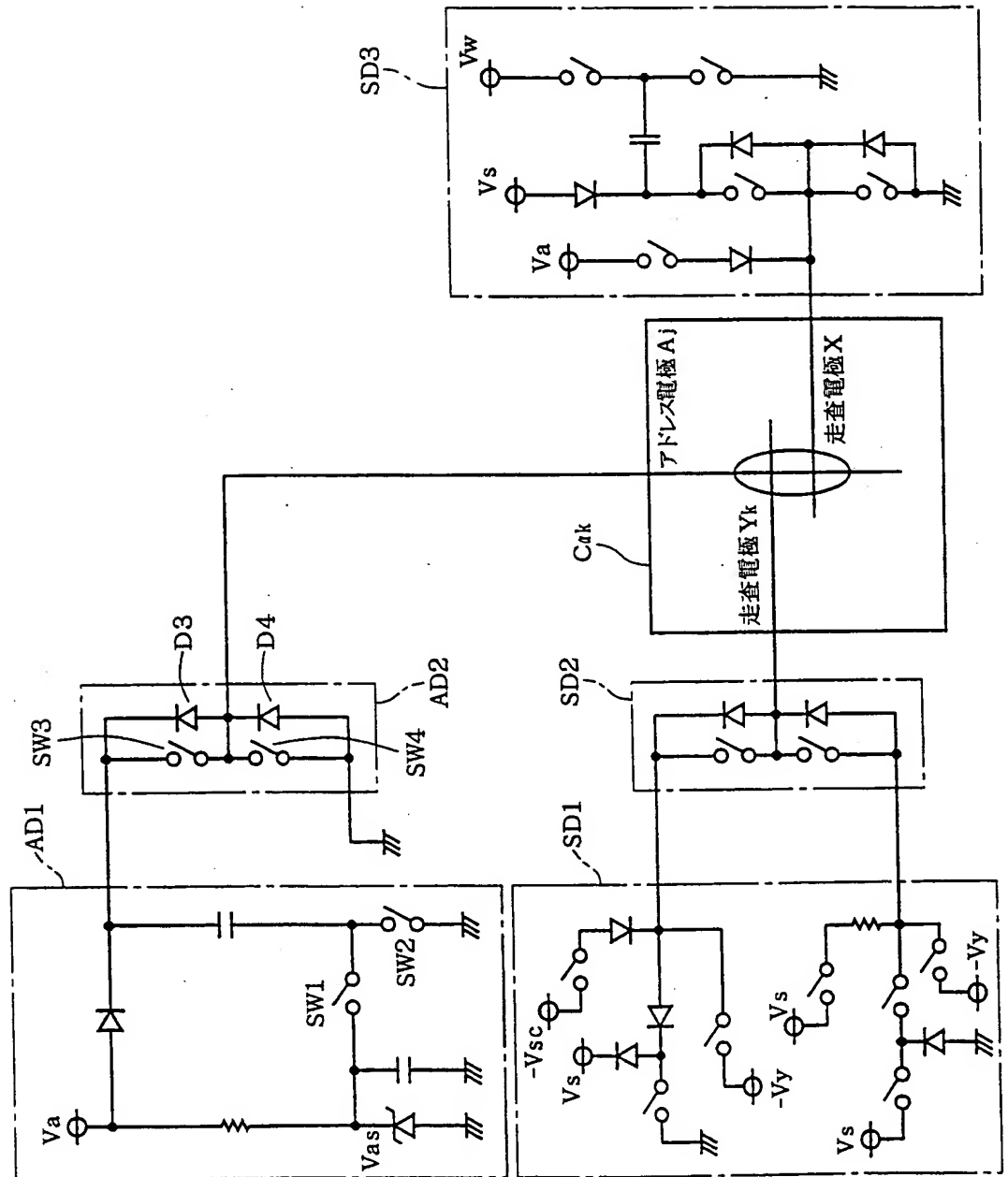


53/56

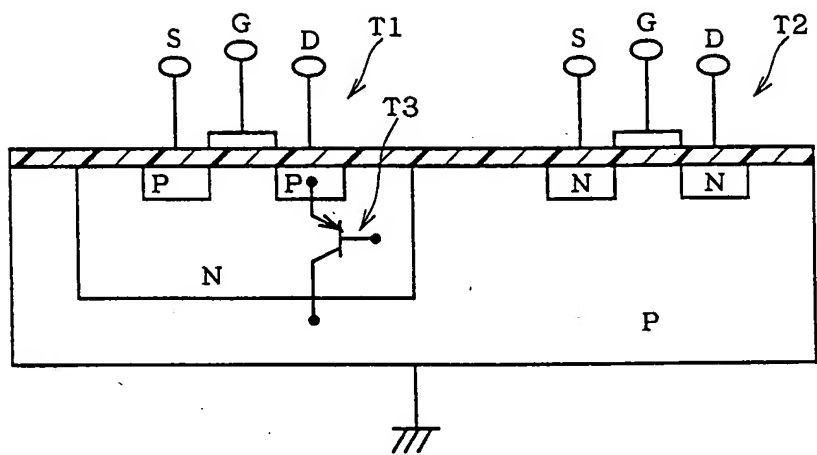
第 5 5 図



第 5 6 図



第 5 8 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01701

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ G09G3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ G09G3/00-3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998

Kokai Jitsuyo Shinan Koho 1971-1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 56-89793, A (Fujitsu Ltd.), July 21, 1981 (21. 07. 81) (Family: none)	1-20
A	JP, 7-160218, A (Fujitsu Ltd.), June 23, 1995 (23. 06. 95) & EP, 657861, A1	1-20
A	JP, 8-160909, A (Fujitsu Ltd.), June 21, 1996 (21. 06. 96) (Family: none)	1-20

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

 Date of the actual completion of the international search
 July 7, 1998 (07. 07. 98)

 Date of mailing of the international search report
 July 21, 1998 (21. 07. 98)

 Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP98/01701

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁶ G09G3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁶ G09G3/00 - 3/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996

日本国公開実用新案公報 1971-1995

日本国登録実用新案公報 1994-1998

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 56-89793, A (富士通株式会社), 21. 7月. 1 981 (21. 07. 81) (ファミリーなし)	1-20
A	JP, 7-160218, A (富士通株式会社), 23. 6月. 1 995 (23. 06. 95) & EP, 657861, A1	1-20
A	JP, 8-160909, A (富士通株式会社), 21. 6月. 1 996 (21. 06. 96) (ファミリーなし)	1-20

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

07. 07. 98

国際調査報告の発送日

21.07.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

奥村元宏

5H

8022

電話番号 03-3581-1101 内線 3530